



PCT

## 国際調査報告

(法8条、法施行規則第40、41条)  
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 319900959971	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP99/03703	国際出願日 (日.月.年) 08.07.99	優先日 (日.月.年)
出願人(氏名又は名称) 株式会社 日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 14 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> H01L21/768, H01L21/318

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> H01L21/31-21/3213, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-1999年  
 日本国登録実用新案公報 1994-1999年  
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 10-321719, A (株式会社日立製作所) 4. 12月. 1998 (04. 12. 98). 全文, 図1-図18 (ファミリーなし)	1-44
Y	J P, 9-153546, A (富士通株式会社) 10. 6月. 1997 (10. 06. 97) 段落【0082】-【0114】, 図13-図20 (ファミリーなし)	1-44

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

06. 10. 99

国際調査報告の発送日

12.10.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 恭一



4 L

8122

電話番号 03-3581-1101 内線 3498

**THIS PAGE BLANK (USPTO)**

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 5-47753, A (沖電気工業株式会社) 26. 2月. 1993 (26. 02. 93) 全文, 図1-図3 (ファミリーなし)	1-44
Y	J P, 3-286532, A (日立電子エンジニアリング業株式会 社) 17. 12月. 1991 (17. 12. 91) 全文, 第1図-第6図 (ファミリーなし)	1-44
A	J P, 6-236853, A (ラムترون・インターナショナル・ コーポレーション) 23. 8月. 1994 (23. 08. 94) 全文, 図1 & EP, 605980, A	1-44
A	J P, 9-223798, A (株式会社デンソー) 26. 8月. 1997 (26. 08. 97) 全文, 図1-図20 & DE, 19651550, A & US, 5714408, A & KR, 97053361, A	1-44
A	J P, 8-203998, A (ソニー株式会社) 9. 8月. 1996 (09. 08. 96) 全文, 図1-図13 & US, 5700349, A	1-44

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP99/03703

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>6</sup> H01L21/768, H01L21/318		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>6</sup> H01L21/31-21/3213, H01L21/768		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 10-321719, A (Hitachi, Ltd.), 4 December, 1998 (04. 12. 98), Full text ; Figs. 1 to 18 (Family: none)	1-44
Y	JP, 9-153546, A (Fujitsu Ltd.), 10 June, 1997 (10. 06. 97), Par. Nos. [0082] to [0114] ; Figs. 13 to 20 (Family: none)	1-44
Y	JP, 5-47753, A (Oki Electric Industry Co., Ltd.), 26 February, 1993 (26. 02. 93), Full text ; Figs. 1 to 3 (Family: none)	1-44
Y	JP, 3-286532, A (Hitachi Electronics Engineering Co., Ltd.), 17 December, 1991 (17. 12. 91), Full text ; Figs. 1 to 6 (Family: none)	1-44
A	JP, 6-236853, A (Ramtron International Corp.), 23 August, 1994 (23. 08. 94), Full text ; Fig. 1 & EP, 605980, A	1-44
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 6 October, 1999 (06. 10. 99)		Date of mailing of the international search report 12 October, 1999 (12. 10. 99)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03703

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-223798, A (Denso Corp.), 26 August, 1997 (26. 08. 97), Full text ; Figs. 1 to 20 & DE, 19651550, A & US, 5714408, A & KR, 97053361, A	1-44
A	JP, 8-203998, A (Sony Corp.), 9 August, 1996 (09. 08. 96), Full text ; Figs. 1 to 13 & US, 5700349, A	1-44



PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner  
US Department of Commerce  
United States Patent and Trademark  
Office, PCT  
2011 South Clark Place Room  
CP2/5C24  
Arlington, VA 22202  
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing: 18 January 2001 (18.01.01)	
International application No.: PCT/JP99/03703	Applicant's or agent's file reference: 319900959971
International filing date: 08 July 1999 (08.07.99)	Priority date:
Applicant: FUJIWARA, Tsuyoshi et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:  
08 July 1999 (08.07.99)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was  
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer:  J. Zahra Telephone No.: (41-22) 338.83.38
---	---

**THIS PAGE BLANK (USPTO)**

REC'D 07 APR 2000

WIPO

PCT

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 319900959971	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/J P 99/03703	国際出願日 (日.月.年) 08.07.99	優先日 (日.月.年)
国際特許分類(IPC) Int. Cl. <sup>7</sup> H01L21/768, H01L21/318		
出願人(氏名又は名称) 株式会社 日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で                      ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 08.07.99	国際予備審査報告を作成した日 24.03.00	
名称及びあて先 日本国特許庁(IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 齋藤 恭一 電話番号 03-3581-1101 内線 3498	4 L 8122

**THIS PAGE BLANK (USPTO)**

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

**THIS PAGE BLANK (USPTO)**

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1 - 44	有
	請求の範囲		無
進歩性(IS)	請求の範囲		有
	請求の範囲	1 - 44	無
産業上の利用可能性(IA)	請求の範囲	1 - 44	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

請求の範囲1-11, 25-44

文献1: JP, 10-321719, A (株式会社日立製作所)  
4. 12月. 1998 (04. 12. 98)

全文, 図1-図18

には、半導体基板上に第1絶縁膜である素子分離領域、第2絶縁膜であるゲート絶縁膜、第1導体片であるゲート電極、エッチングストップとなる第3絶縁膜、層間絶縁膜である第4絶縁膜を設け、第4及び第3絶縁膜に開孔を設けてプラグである第2導体片を形成する半導体装置及びその製造方法が記載されており、前記第3絶縁膜として窒化珪素膜を利用することが記載されている。

文献2: JP, 9-153546, A (富士通株式会社)

10. 6月. 1997 (10. 06. 97)

段落【0082】-【0114】、図13-図20

には、文献1と同様に、エッチングストップとなる絶縁膜と層間絶縁膜を設け、これらの絶縁膜に開孔を設けてプラグである導体片を形成する半導体装置及びその製造方法が記載されており、段落【0089】には、前記絶縁膜としてPE-CVD法により形成した窒化珪素膜を利用することが記載されている。

文献3: JP, 5-47753, A (沖電気工業株式会社)

26. 2月. 1993 (26. 02. 93)

全文, 図1-図3

には、半導体素子の保護膜としてプラズマCVD法により形成した窒化珪素膜を使用し、その下層にアンモニアを含まない反応ガスのプラズマCVD法により形成した窒化珪素膜を設けて、水素の拡散を阻止することが記載されている。

文献4: JP, 3-286532, A (日立電子エンジニアリング業株式会社)

17. 12月. 1991 (17. 12. 91)

全文, 第1図-第6図

には、窒素とシランを用いたプラズマCVD法により窒化珪素膜を形成することが記載されており、第1図(a)及び第2図(b)を参照すると、温度を上げると窒化珪素膜の水素含有率が減少することが開示されている。

下層の窒化珪素膜を水素含有量の少ない膜にすることがトランジスタの特性・寿命に好適であることが文献3に開示され、また、文献4記載の温度依存性を考慮すると、文献1, 2に記載のエッチングストップとなる窒化珪素膜を、パッシベーション膜として通常形成される窒化珪素膜よりも高温で、アンモニアを含まない反応ガスのプラズマCVD法により形成することは、当業者にとって自明のものである。

なお、各請求の範囲に記載された具体的構成は、文献1に開示されるように、いずれも周知且つ自明の事項にすぎない。

**THIS PAGE BLANK (USPTO)**



補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

## 第 V.2 欄の続き

請求の範囲 12-24

文献3、4には、モノシランと窒素を反応ガスとして、アンモニアを含まないプラズマCVD法により、窒化珪素膜を形成することが記載されており、特に、文献4(第1図(a)及び第2図(b))には、400度のプラズマCVD法により水素含有量の少ない窒化珪素膜を形成することが開示されている。

窒化珪素膜を水素含有量の少ない膜にすることがトランジスタの特性・寿命に好適であることが文献3に開示されているから、文献1、2に記載のエッチングストップとなる窒化珪素膜を、400度以上の高温で、アンモニアを含まない反応ガスのプラズマCVD法により形成することは、当業者にとって自明のものである。

なお、各請求の範囲に記載された具体的構成は、文献1に開示されるように、いずれも周知且つ自明の事項にすぎない。

**THIS PAGE BLANK (USPTO)**

4-12my  
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 319900959971	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/03703	International filing date ( <i>day/month/year</i> ) 08 July 1999 (08.07.99)	Priority date ( <i>day/month/year</i> )
International Patent Classification (IPC) or national classification and IPC H01L 21/768, 21/318		
Applicant HITACHI, LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.</p> <p><input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of _____ sheets.</p>
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input checked="" type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>

Date of submission of the demand 08 July 1999 (08.07.99)	Date of completion of this report 24 March 2000 (24.03.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/03703

## I. Basis of the report

### 1. With regard to the elements of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/JP99/03703

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-44	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-44	NO
Industrial applicability (IA)	Claims	1-44	YES
	Claims		NO

### 2. Citations and explanations

Claims 1-11 and 25-44

Document 1: JP, 10-321719, A (Hitachi, Ltd.), 4 December, 1998 (04.12.98), full text, Figs. 1-18

describes (1) a semiconductor device, comprising an element separation region as a first insulating film, a gate insulating film as a second insulating film, a gate electrode as a first conductor piece, a third insulating film destined to be an etching stopper, and a fourth insulating film as an interlayer insulating film respectively formed on a semiconductor substrate, wherein the fourth and third insulating films are provided with an opening to form a second conductor piece used as a plug, and (2) a production method thereof, and also describes that a silicone nitride film is used as the third insulating film.

Document 2: JP, 9-153546, A (Fujitsu Ltd.), 10 June, 1997 (10.06.97), paragraphs [0082]-[0114], Figs. 13-20

describes (1) a semiconductor device, comprising an insulating film destined to be an etching stopper and an interlayer insulating film, wherein these insulating films are provided with an opening to form a conductor piece used as a plug, and (2) a production method thereof, and also describes, in paragraph [0089], that silicon nitride films formed by a PE-CVD method are used as the insulating films.

Document 3: JP, 5-47753, A (Oki Electric Industry Co., Ltd.), 26 February, 1993 (26.02.93), full text, Figs. 1-3

describes that (1) a silicone nitride film formed by a plasma CVD method is used as a protective film of a semiconductor element, and (2) a silicone nitride film formed by a plasma CVD method of a reactive gas not containing ammonia is provided as a layer underlying it, for preventing the diffusion of hydrogen.

Document 4: JP, 3-286532, A (Hitachi Electron Engineering Co., Ltd.), 17 December, 1991 (17.12.91), full text, Figs. 1-6

describes the formation of a silicon nitride film by a plasma CVD method using nitrogen and a silane, and in reference to Figs. 1 (a) and 2 (b), it is disclosed that if the temperature is raised, the hydrogen content of the silicone nitride film decreases.

It is disclosed in document 3 that an underlying silicone nitride film kept smaller in hydrogen content is preferable for the characteristics and life of a transistor, and document 4 describes temperature dependence. Considering these, it is considered to be obvious for a person skilled in

**THIS PAGE BLANK (USPTO)**



# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/03703

## Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

the art, to form the silicon nitride film destined to be an etching stopper described in document 1 or 2, by a plasma CVD method of a reactive gas not containing ammonia, at a temperature higher than that for forming a silicon nitride film usually formed as a passivation film.

The particular constitutions described in the above respective claims are merely well known and obvious matters as disclosed in document 1.

### Claims 12-24

Documents 3 and 4 describe the formation of a silicon nitride film by a plasma CVD method not containing ammonia using monosilane and nitrogen as a reactive gas, and especially document 4 [Figs. 1 (a) and 2 (b)] discloses the formation of a silicon nitride film having a small hydrogen content by a plasma CVD method of 400 degrees.

It is disclosed in document 3 that a silicon nitride film smaller in hydrogen content is preferable for the characteristics and life of a transistor. So, it is considered to be obvious for a person skilled in the art, to form a silicon nitride film destined to be an etching stopper described in document 1 or 2, by a plasma CVD method of a reactive gas not containing ammonia at a high temperature higher than 400 degrees.

The particular constitutions described in the above respective claims are merely well known and obvious matters as disclosed in document 1.

**THIS PAGE BLANK (USPTO)**

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年1月18日 (18.01.2001)

PCT

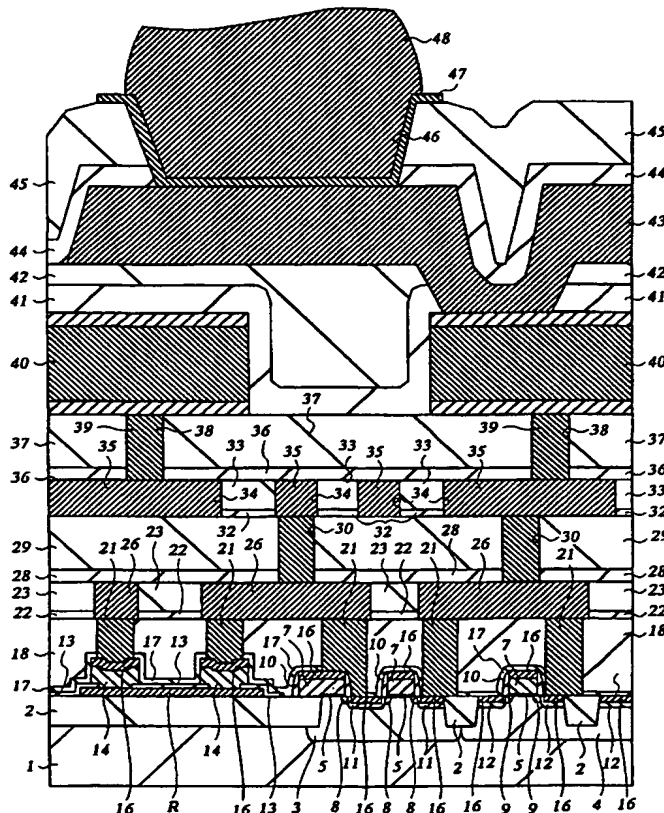
(10) 国際公開番号  
WO 01/04946 A1

- (51) 国際特許分類<sup>6</sup>: H01L 21/768, 21/318 (72) 発明者; および  
(75) 発明者/出願人(米国についてのみ): 藤原 剛 (FUJIWARA, Tsuyoshi) [JP/JP]. 一瀬勝彦 (ICHINOSE, Katsuhiko) [JP/JP]. 大橋直史 (OHASHI, Naohumi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター内 Tokyo (JP). 牛山雅弘 (USHIYAMA, Masahiro) [JP/JP]; 〒985-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 斉藤哲夫 (SAITO, Tetsuo) [JP/JP]; 〒198-8532 東京都青梅市藤橋3丁目3番地2 日立東京エレクトロニクス株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP99/03703
- (22) 国際出願日: 1999年7月8日 (08.07.1999)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 日立東京エレクトロニクス株式会社 (HITACHI-TOKYO ELECTRONICS CO., LTD.) [JP/JP]; 〒198-8532 東京都青梅市藤橋3丁目3番地2 Tokyo (JP).
- (74) 代理人: 筒井大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A high-performance high-reliability semiconductor device having a silicon nitride film (17) for self-alignment which is so formed as to cover the gate electrode of a MISFET by a plasma CVD method in which the wafer temperature is 400°C or more, and the material gases are monosilane and nitrogen. A silicon nitride film (44) constituting a passivation film is formed by a plasma CVD method in which the wafer temperature is around 350°C, and the material gases are monosilane, ammonia, and nitrogen. The quantity of hydrogen contained in the silicon nitride film (17) is less than that contained in the silicon nitride film (44), and the amount of hydrogen liberated from the silicon nitride film (17) is little.

[続葉有]

WO 01/04946 A1



(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

(57) 要約:

本発明は、高性能で高信頼な半導体装置を提供することを目的としたものであり、MISFETのゲート電極を覆って形成される自己整合用の窒化珪素膜17を、400℃以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマCVD法により形成するものである。また、パッシベーション膜を構成する窒化珪素膜44は、350℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマCVD法により形成される。窒化珪素膜17に含まれる水素量は窒化珪素膜44に含まれる水素量より少なく、窒化珪素膜17からの脱離水素量は抑制される。

## 明 細 書

## 半導体装置およびその製造方法

## 5 技術分野

本発明は、半導体装置およびその製造方法に関し、特に、高集積化された半導体装置の高性能化、高信頼化に適用して有効な技術に関するものである。

## 背景技術

- 10 半導体装置の高性能化および微細化に伴い、マスクの合わせずれを吸収できる自己整合技術が多用される。

- たとえば、特開平 1 1 - 2 6 7 1 4 号公報には、DRAMのメモリセルを構成するM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) のゲート電極を窒化珪素膜で覆い、さらに酸化珪素膜からなる層間絶縁膜を形成後、前記M I S F E Tのソース・ドレイン領域に接続するプラグを形成する技術が開示されている。このプラグが形成される接続孔の加工工程において、酸化珪素膜がエッチングされ窒化珪素膜がエッチングされ難い第 1 のエッチング工程と、窒化珪素膜がエッチングされる第 2 のエッチング工程との 2 段階のエッチング工程が採用される。DRAMメモリセルのM I S F E T (選択M I S F E T)
- 15 は最小加工寸法で加工されるため、ゲート電極間に接続孔を形成する際にはゲート電極パターンと接続孔パターンのマスクずれは回避できず、自己整合技術を用いなければ適正な接続孔加工は困難である。この点、前記公報の技術では、ゲート電極を覆う窒化珪素膜がエッチングストップとして機能し、ゲート電極に対する接続孔加工の自己整合が実現できる。

- 25 また、前記公報の技術によれば、酸化珪素膜の膜厚を層間絶縁膜である酸化珪素膜の膜厚よりも相対的に薄く形成し、窒化珪素膜がエッチングストップとして機能するため、前記第 1 のエッチング工程において十分なオーバーエッチングを施すことができる。このため、微細な接続孔であっても、また、アスペクト比の大きな接続孔であってもウェハ面内の接続孔深さを均一にすることができ、また

プロセスマージンを増加できる。一方、ストップ膜である窒化珪素膜の膜厚は十分に薄いため、第2のエッチング工程において十分なオーバーエッチングを施しても基板の過剰エッチングは抑制される。いわば、基板表面に対する接続孔の自己整合加工が実現できる。特に、接続孔底部が素子分離領域にかかる場合には、

5 素子分離領域を構成する酸化珪素膜が過剰にエッチングされる可能性があるが、前記2段階のエッチング手段を採用すれば、素子分離領域の過剰エッチングを十分に許容できる範囲に抑制できる。この結果、基板（素子分離領域）の過剰エッチングに起因するM I S F E Tのリーク電流を抑制し、D R A Mの場合にはリフレッシュ特性を改善できる。

- 10 前記した基板表面に対する自己整合加工は、たとえばダマシンプロセスを用いた配線加工工程にも適用できる。すなわち、配線形成用の配線溝、あるいは接続孔を層間絶縁膜に形成する際に、配線溝底部、あるいは接続孔底部に相当する位置にあらかじめ薄い窒化珪素膜を形成し、前記2段階のエッチング工程と同様に配線溝あるいは接続孔を形成する。このような工程においても配線溝あるいは接
- 15 続孔底部の部材の過剰エッチングを抑制し、配線溝深さあるいは接続孔深さの均一性を向上し、また、確実な配線層間の接続を実現できる。

ところで、窒化珪素膜の形成方法には、熱CVD (Chemical Vapor Deposition) 法、プラズマCVD法等各種の成膜方法がある。たとえば、特開平2-234430号公報には、シラン ( $\text{SiH}_4$ ) および窒素 ( $\text{N}_2$ ) を原料ガスとするE

20 C R (Electron Cyclotron Resonance) - CVD法により形成した窒化珪素膜を層間絶縁膜あるいはパッシベーション膜に適用する技術が開示されている。また、特開昭63-132434号公報には、シラン ( $\text{SiH}_4$ ) および窒素 ( $\text{N}_2$ ) を原料ガスとするE C R - CVD法により形成した窒化珪素膜をパッシベーション膜に適用する技術が開示されている。

- 25 しかし、本発明者らは、以下のような問題があることを認識した。なお、以下に説明する問題に対する認識は、本発明者らの実験検討により得られたものであり、公知にされたわけではない。

すなわち、半導体装置の微細化、高性能化に伴って、熱処理に対する制限が厳しくなっている。たとえば半導体装置の微細化の実現には拡散層（不純物半導体

領域)の精密な位置、深さの制御が必要である。これら精密に制御された拡散層の形成後に高温プロセスを介在させると不純物の拡散が生じ、拡散層の形成位置が変動して好ましくない。拡散層内の不純物濃度の制御性も高く要求されるため、拡散層内の不純物の再拡散は不純物濃度の変動の観点からも好ましくない。また、半導体装置の高性能化を実現するには不純物拡散層の表面あるいはゲート電極の表面へのシリサイド層の形成が望ましい。ところが、シリサイド層の形成後に高温プロセスを介在させると、シリサイド層の耐熱性の乏しさに起因して各種の問題を生じる。すなわち、シリサイド層とシリコン層との再反応によるシリサイド層内の組成変化、この組成変化に起因するシリサイド層の導電率の低下、あるいは、シリサイド層内のストレスの増加、ボイドの発生等の問題を生じる。

このため、ゲート電極を覆う自己整合用の窒化珪素膜、ダマシン配線の配線溝、接続孔を自己整合的に形成するための窒化珪素膜の形成には、高い温度(一般には700℃以上)で形成する熱CVD法を用いることができない。また、熱CVD法による窒化珪素膜の形成では、成膜中に発生する活性な水素(H)がMISFETの拡散層あるいはチャネル領域に拡散し、しきい値( $V_{th}$ )を変動させるという問題があることも本発明者らは認識している。

そこで、低温(一般には400℃程度)で形成できるプラズマCVD法を用いた窒化珪素膜を検討することとなる。

ところが、プラズマCVD法による窒化珪素膜には、デバイス特性を劣化させる新たな障害が存在する。

すなわち、プラズマプロセス中に発生するラジカルあるいはイオンのボンバードメントにより、被形成面がプラズマダメージを受ける障害がある。この結果、被形成面となる多結晶シリコン膜(ゲート電極)、あるいは拡散層(半導体基板)中の不純物(ボロン(B)、リン(P)等)を不活性化し、あるいは、多結晶シリコン膜および拡散層中のダングリングボンドを増加し、それらの抵抗値が上昇する問題がある。

また、プラズマCVD法による窒化珪素膜は、そのステップカバレッジの良さからシラン( $SiH_4$ )、アンモニア( $NH_3$ )および窒素( $N_2$ )を原料ガスとして用いるが、このような $SiH_4/NH_3/N_2$ を原料とするプラズマCVD膜(

窒化珪素膜)では、膜中に多くの水素(H)が含有される。膜中水素はその後の熱処理により離脱し、水素離脱に起因する膜(窒化珪素膜)応力の増大を生じる。膜応力の増大は、デバイス特性を劣化させる問題がある。著しい場合には膜の剥離を生じ、デバイス不良の原因にもなり得る。

- 5      また、離脱水素は、ゲート電極である多結晶シリコン膜、半導体基板である拡散層(ソース・ドレイン)に拡散し、多結晶シリコン膜内あるいは拡散層内の不純物を不活性化させる原因となる。この結果ゲート電極あるいはソース・ドレインの抵抗を上昇させる問題を生じる。

- さらに、多結晶シリコン膜あるいは拡散層に拡散した離脱水素は、それら多結  
10   晶シリコン膜あるいは拡散層中の不純物(特にボロン(B))を動きやすくし、不純物(特にボロン)をMISFETのチャネル領域に拡散しやすくする作用がある。この結果MISFETのしきい値( $V_{th}$ )変動を来し、半導体装置の性能を低下させる問題がある。

- 上記の通り、低温成膜された窒化珪素膜では、その膜中に含まれる多量の水素  
15   がデバイス特性を低下させていると考えられる。では、アズデポ(as deposited)状態では多くの水素を含む $\text{SiH}_4/\text{NH}_3/\text{N}_2$ を原料とする窒化珪素膜であっても、膜形成後に熱処理を施し水素を離脱させて水素含有量の低い窒化珪素膜を得る方法が考えられる。しかし、この方法では、熱処理後に膜が剥離し異物を発生させる問題があり、また、剥離しかけた膜部分にコンタクトホールを形成し  
20   た場合に接続部材のカバレッジ不良を発生させてコンタクト部分の導通不良を発生させる問題がある。

本発明の目的は、自己整合用の窒化珪素膜を低温で、かつ、水素含有量を小さく形成できる技術を提供することにある。

- また、本発明の目的は、窒化珪素膜形成の際のプラズマダメージを低減できる  
25   膜形成法を提供することにある。

また、本発明の目的は、多結晶シリコン膜の抵抗値変動が少なく、MISFETのしきい値変動が少ない半導体装置を提供することにある。

また、本発明の目的は、高性能で高信頼な半導体装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添



付図面から明らかになるであろう。

#### 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明の半導体装置あるいはその製造方法では、自己整合用の窒化珪素膜をプラズマCVD法により成膜する場合において、その成膜温度を350℃以上（好ましくは400℃以上）とするものである。また、窒化珪素膜の形成を、シランおよび窒素からなる2元系ガスを原料ガスに用いて行うものである。

- 10      このように、350℃好ましくは400℃以上で窒化珪素膜を成膜することによりアズデポ状態で含有する水素量を少なくでき、その後の熱処理による膜応力の増加、離脱水素の増加を抑制できる。また、2元系ガス（シランおよび窒素）を用いることにより、プラズマダメージを低減し、アズデポ状態での水素含有量を低減できる。これらの効果により、自己整合用窒化珪素膜の剥離を防止し、含有水素の離脱を抑制できる。含有水素の離脱抑制により、ゲート電極、ソース・ドレイン領域内の不純物の不活性化を抑制でき、また、それらの抵抗値の変動、MISFETのしきい値の変動を抑制できる。この結果、半導体装置の信頼性を向上できる。なお、シリサイド層を適用して半導体装置（MISFET）の高性能化を図ることを考慮すれば、窒化珪素膜の成膜温度が熱CVD法による成膜温度の程度まで高くしないことはいうまでもない。

- 25      なお、本発明では、半導体装置に適用されるパッシベーション膜には、3元系（シラン、アンモニア、窒素）の原料ガスを用いたプラズマCVD法による窒化珪素膜を適用する。これは、水分等の侵入を阻止する観点からステップカバレッジを重視する必要があるためと、パッシベーション膜中の含有水素量はデバイス特性に特に大きな影響を及ぼさないためである。したがって、前記自己整合用の窒化珪素膜とパッシベーション膜とを比較すると、自己整合用膜の方がパッシベーション膜よりも水素含有量が少なく、形成温度が高くなる。

以下、本明細書で開示される発明を列記して示す。

1. 本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第1絶

縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板表面に第2絶縁膜（たとえばゲート絶縁膜）を介して、第1導体片（たとえばゲート電極）を形成する工程と、(c) 前記半導体基板の表面であって、前記第1絶縁膜と前記第1導体片が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(d) 前記第1導体片、前記半導体層及び前記第1絶縁膜を覆うように第3絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第3絶縁膜上に、第4絶縁膜（たとえば層間絶縁膜）を形成する工程と、(f) 前記第4及び第3絶縁膜に第1開孔（たとえばコンタクトホール）を形成する工程と、(g) 前記第1開孔内に第2導体片（たとえばプラグ）を形成する工程と、(h) 前記第4絶縁膜上に第5絶縁膜（たとえばパッシベーション膜）を形成する工程とを有し、前記第3絶縁膜及び第5絶縁膜はプラズマCVD法により形成された窒化珪素膜であり、前記第3絶縁膜の形成温度は、前記第5絶縁膜の形成温度よりも高いものである。

2. 前記項1記載の半導体装置の製造方法であって、前記第1及び第4絶縁膜は酸化珪素膜であり、前記第1開孔の形成工程は、前記第3絶縁膜に対する前記第4絶縁膜のエッチング量が大である条件で、前記第4絶縁膜をエッチングする工程と、前記第1絶縁膜に対する前記第3絶縁膜のエッチング量が大である条件で、前記第3絶縁膜をエッチングする工程とを有するものである。

3. 前記項1記載の半導体装置の製造方法であって、前記第5絶縁膜は反応ガスにアンモニアガスを含み、前記第3絶縁膜は反応ガスにアンモニアを含まないものである。

4. 前記項1記載の半導体装置の製造方法であって、前記工程(c)と(d)の間に、前記半導体層の表面にシリサイド層を形成する工程を有するものである。

5. 前記項4記載の半導体装置の製造方法であって、前記第2導体片は第1導体層（たとえば窒化チタン層）と第2導体層（たとえばタングステン層）を含み、前記第1導体層は、前記第2導体層よりも薄く、前記第2導体層の下に位置しているものである。

6. 前記項1記載の半導体装置の製造方法であって、前記工程(g)と(h)

の間に、(i) 第3導体片（たとえば配線）を形成する工程と、(j) 前記第5絶縁膜は前記第3導体片の一部を露出する第2開孔を有し、前記第2開孔において前記第3導体片に外部接続用導体片（たとえばボンディングワイヤ又はバンプ電極等）を接続する工程とを有するものである。

5        7. 前記項1記載の半導体装置の製造方法であって、前記第1導体片はボロンを含むシリコン層からなるものである。

10       8. 前記項1記載の半導体装置の製造方法であって、前記導体片はシリコンからなる第1導体層、第2導体層（たとえば窒化タングステン等のバリア層）、高融点金属（たとえばチタン、コバルト、タングステン等）からなる第3導体層の3層からなるものである。

15       9. 本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第1絶縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板表面に第2絶縁膜（たとえばゲート絶縁膜）を介して、第1導体片（たとえばゲート電極）を形成する工程と、(c) 前記半導体基板の表面であって、前記第1絶縁膜と前記第1導体片が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(d) 前記第1導体片、前記半導体層及び前記第1絶縁膜を覆うように第3絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第3絶縁膜上に、第4絶縁膜（たとえば層間絶縁膜）を形成する工程と、(f) 前記第4及び第3絶縁膜に第1開孔（たとえばコンタクトホール）を形成する工程と、(g) 前記第1開孔内に第2導体片（たとえばプラグ）を形成する工程と、(h) 前記第4絶縁膜上に第5絶縁膜（たとえばパッシベーション膜）を形成する工程とを有し、前記第3絶縁膜及び第5絶縁膜はプラズマCVD法により形成された窒化珪素膜であり、前記第3絶縁膜の水素含有量は、前記第5絶縁膜の水素含有量よりも少ないものである。

25       10. 本発明の半導体装置の製造方法は、(a) 半導体基板上に第1絶縁膜（たとえば自己整合用膜）を形成する工程と、(b) 前記第1絶縁膜上に第2絶縁膜（たとえば配線形成用絶縁膜）を形成する工程と、(c) 前記第2及び第1絶縁膜に開孔（たとえばダマシン用溝）を形成する工程と、(d) 前記開孔内に導体層（たとえば配線）を形成する工程と、(e) 前記導体層上に第3絶縁膜（た

たとえばパッシベーション膜)を形成する工程とを有し、前記第1絶縁膜及び第3絶縁膜はプラズマCVD法により形成された窒化珪素膜であり、前記第1絶縁膜の形成温度は、前記第3絶縁膜の形成温度よりも高いものである。

11. 本発明の半導体装置の製造方法は、(a)半導体基板上に第1絶縁膜(たとえば自己整合用膜)を形成する工程と、(b)前記第1絶縁膜上に第2絶縁膜(たとえば配線形成用絶縁膜)を形成する工程と、(c)前記第2及び第1絶縁膜に開孔(たとえばダマシン用溝)を形成する工程と、(d)前記開孔内に導体層(たとえば配線)を形成する工程と、(e)前記導体層上に第3絶縁膜(たとえばパッシベーション膜)を形成する工程とを有し、前記第1絶縁膜及び第3絶縁膜はプラズマCVD法により形成された窒化珪素膜であり、前記第1絶縁膜の水素含有量は、前記第3絶縁膜の水素含有量よりも少ないものである。

12. 本発明の半導体装置の製造方法は、(a)半導体基板表面に選択的に第1絶縁膜(たとえば素子分離領域)を形成する工程と、(b)前記半導体基板の表面であって、前記第1絶縁膜が存在しない領域に半導体層(たとえばソース・ドレイン)を形成する工程と、(c)前記半導体層の表面に高融点金属のシリサイド層を形成する工程と、(d)前記高融点金属のシリサイド層及び前記第1絶縁膜を覆うように第2絶縁膜(たとえば自己整合用膜)を形成する工程と、(e)前記第2絶縁膜上に、第3絶縁膜(たとえば層間絶縁膜)を形成する工程と、(f)前記第3及び第2絶縁膜に開孔(たとえばコンタクトホール)を形成する工程と、(g)前記開孔内に導体片(たとえばプラグ)を形成する工程とを有し、前記第2絶縁膜は400度以上のプラズマCVD法により形成された窒化珪素膜である。

13. 前記項12記載の半導体装置の製造方法であって、前記第2絶縁膜は、モノシランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたものである。

14. 前記項12記載の半導体装置の製造方法であって、前記第3絶縁膜は酸化珪素膜であり、前記開孔の形成工程は、前記第2絶縁膜に対するエッチング量が大である条件で、前記第3絶縁膜をエッチングする工程と、前記第1絶縁膜に対するエッチング量が大である条件で、前記第2絶縁膜をエッチングする工程とを有するものである。

1 5. 前記項 1 2 記載の半導体装置の製造方法であって、前記シリサイド層の形成工程は、(h) 前記半導体層及び第 1 絶縁膜上に高融点金属膜を堆積する工程と、(i) 前記半導体基板に熱処理を施し、前記半導体層の表面にシリサイド層を形成する工程と、(j) 前記第 1 絶縁膜上の高融点金属膜を除去する工程とを含むものである。

1 6. 前記項 1 2 記載の半導体装置の製造方法であって、前記導体片は第 1 導体層と第 2 導体層を含み、前記第 1 導体層は前記第 2 導体層よりも薄く、前記第 2 導体層の下に位置しているものである。

1 7. 前記項 1 6 記載の半導体装置の製造方法であって、前記第 1 導体層は窒化チタン層であり、前記第 2 導体層はタングステン層である。

1 8. 本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第 1 絶縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板表面に第 2 絶縁膜（たとえばゲート絶縁膜）を介して、第 1 導体片（たとえばゲート電極）を形成する工程と、(c) 前記半導体基板の表面であって、前記第 1 絶縁膜と前記第 1 導体片が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(d) 前記第 1 導体片、前記半導体層及び前記第 1 絶縁膜を覆うように第 3 絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第 3 絶縁膜上に、第 4 絶縁膜（たとえば層間絶縁膜）を形成する工程とを有し、前記第 1 導体片はボロンを含んだシリコン膜であり、前記第 3 絶縁膜は 4 0 0 度以上のプラズマ CVD 法により形成された窒化珪素膜である。

1 9. 前記項 1 8 記載の半導体装置の製造方法であって、前記第 3 絶縁膜はモノシランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたものである。

2 0. 本発明の半導体装置の製造方法は、(a) 半導体基板上に第 1 絶縁膜（たとえば自己整合用膜）を形成する工程と、(b) 前記第 1 絶縁膜上に第 2 絶縁膜（たとえばダマシン溝形成用絶縁膜）を形成する工程と、(c) 前記第 2 及び第 1 絶縁膜に開孔（たとえばダマシン用溝）を形成する工程と、(d) 前記開孔内に導体層（たとえば配線）を形成する工程とを有し、前記第 1 絶縁膜は 4 0 0 度以上のプラズマ CVD 法により形成された窒化珪素膜である。

2 1. 前記項 2 0 記載の半導体装置の製造方法であって、前記第 2 絶縁膜は酸化珪素膜である。

2 2. 前記項 2 0 記載の半導体装置の製造方法であって、前記導体層の形成工程は、下層の第 1 導体層と上層の第 2 導体層の形成工程からなり、前記第 2 導体層は銅からなり、前記第 1 導体層は銅の拡散防止機能を有するものである。

2 3. 本発明の半導体装置の製造方法は、(a) 半導体基板上に第 1 絶縁膜（たとえばゲート絶縁膜）を介して、シリコンからなる第 1 導体層、第 2 導体層、高融点金属からなる第 3 導体層、第 2 絶縁膜（たとえばキャップ絶縁膜）を堆積する工程と、(b) 前記第 2 絶縁膜、第 3、第 2、及び第 1 導体層を所定のパターンに加工する工程と、(c) 前記第 2 絶縁膜上に第 3 絶縁膜（たとえば自己整合用膜）を形成する工程とを有し、前記第 2 絶縁膜は 4 0 0 度以上のプラズマ CVD 法により形成された窒化珪素膜である。

2 4. 前記項 2 3 記載の半導体装置の製造方法であって、前記第 3 絶縁膜は 4 0 0 度以上のプラズマ CVD 法により形成された窒化珪素膜である。

2 5. 本発明の半導体装置は、(a) 半導体基板と、(b) 前記半導体基板の表面に選択的に形成された第 1 絶縁膜（たとえば素子分離領域）と、(c) 前記半導体基板上に第 2 絶縁膜（たとえばゲート絶縁膜）を介して形成された第 1 導体片（たとえばゲート電極）と、(d) 前記半導体基板の表面であって、前記第 1 絶縁膜と前記第 1 導体片との間に位置する半導体層（たとえばソース・ドレイン、拡散層配線）と、(e) 前記第 1 導体片、第 1 絶縁膜及び半導体層上に形成された第 3 絶縁膜（たとえば自己整合用膜）と、(f) 前記第 3 絶縁膜上に形成された第 4 絶縁膜（たとえば層間絶縁膜）と、(g) 前記第 3、第 4 絶縁膜に形成された開孔内に形成された第 2 導体片（たとえばプラグ）と、(h) 前記第 2 導体片上に形成された第 5 絶縁膜（たとえばパッシベーション膜）とからなり、前記第 3 及び第 5 絶縁膜は、プラズマ CVD 法により形成された窒化珪素膜であり、前記第 3 絶縁膜の水素含有量は、前記第 5 絶縁膜の水素含有量よりも少ないものである。

2 6. 前記項 2 5 記載の半導体装置であって、前記第 2 導体片は第 1 導体層と第 2 導体層を含み、前記第 1 導体層は、前記第 2 導体層よりも薄く、前記第 2 導

体層の下に位置しているものである。

27. 前記項26記載の半導体装置であって、前記第1導体層は窒化チタン層であり、前記第2導体層はタングステン層である。

28. 前記項25記載の半導体装置であって、前記半導体層の表面には高融点金属のシリサイド層が形成されているものである。

29. 前記項25記載の半導体装置であって、前記第1導体片はボロンを含むシリコン層からなるものである。。

30. 本発明の半導体装置は、(a) 半導体基板と、(b) 半導体基板上に第1絶縁膜（たとえばゲート絶縁膜）を介して形成された第1導体片（たとえばゲート電極）と、(c) 前記第1導体片上に形成された第2絶縁膜（たとえばキャップ絶縁膜）と、(d) 前記第2絶縁膜上に形成された第3絶縁膜（たとえばパッシベーション膜）とからなり、前記第2及び第3絶縁膜は、プラズマCVD法により形成された窒化珪素膜であり、前記第2絶縁膜の水素含有量は、前記第3絶縁膜の水素含有量よりも少ないものである。

31. 前記項30記載の半導体装置であって、更に、(e) 前記第1導体片の両端であって、前記半導体基板の表面に位置する第1及び第2半導体領域とを有し、前記第1導体片はトランジスタのゲートとして、前記第1及び第2半導体領域はトランジスタのソース、ドレインとして機能し、前記ソースからドレインに向かう方向において、前記第2絶縁膜は前記第1導体片とほぼ等しい幅を有するものである。

32. 前記項30記載の半導体装置であって、更に (e) 前記第2絶縁膜上に形成された第2導体片（たとえば配線）と、(f) 前記第2導体片に接続された外部接続用導体片（たとえばバンプ）とを有し、前記第3絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第2導体片と接続されているものである。

33. 本発明の半導体装置は、(a) 半導体基板と、(b) 半導体基板上に第1絶縁膜（たとえばゲート絶縁膜）を介して形成され、側壁を有する第1導体片（たとえばゲート電極）と、(c) 前記第1導体片の側壁上に形成された第2絶縁膜（たとえばサイドウォール）と、(d) 前記第1導体片上に形成された第3絶

縁膜（たとえばパッシベーション膜）とからなり、前記第2及び第3絶縁膜は、プラズマCVD法により形成された窒化珪素膜であり、前記第2絶縁膜の水素含有量は、前記第3絶縁膜の水素含有量よりも少ないものである。

34. 前記項33記載の半導体装置であって、更に(e)前記第2絶縁膜上に形成された第2導体片（たとえば配線）と、(f)前記第2導体片に接続された外部接続用導体片（たとえばバンプ）とを有し、前記第3絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第2導体片と接続されているものである。

35. 本発明の半導体装置は、(a)半導体基板上と、(b)前記半導体基板上の第1絶縁膜（たとえば自己整合用膜）と、(c)前記第1絶縁膜上の第2絶縁膜（たとえば配線溝形成用絶縁膜）と、(d)前記第1、第2絶縁膜に形成された第1開孔内に形成された第1導体片（たとえば配線）と、(e)前記第1導体片上の第3絶縁膜（たとえば層間絶縁膜）と、(f)前記第3絶縁膜上の第2導体片（たとえば配線）と、(g)前記第2導体片上の第4絶縁膜（たとえばパッシベーション膜）とを有し、前記第1及び第4絶縁膜は、プラズマCVD法により形成された窒化珪素膜であり、前記第1絶縁膜の水素含有量は、前記第4絶縁膜の水素含有量よりも少ないものである。

36. 前記項35記載の半導体装置であって、更に(h)前記第2導体片に接続された外部接続用導体片を有し、前記第4絶縁膜は第2開孔を有し、前記第2開孔部において、前記外部接続用導体片と前記第2導体片とが接続されているものである。

37. 前記項36記載の半導体装置であって、前記第2絶縁膜は酸化珪素膜である。

38. 前記項12記載の半導体装置の製造方法であって、前記工程(a)と(b)との間にシリコン材料からなる第1導体片（たとえばゲート電極）を形成する工程を有し、前記(c)工程において前記第1導体片の表面に高融点金属のシリサイド層を形成するものである。

39. 前記項25記載の半導体装置であって、前記第1導体片はシリコン材料からなり、前記第1導体片の表面には高融点金属のシリサイド層が形成されてい



るものである。

40. 本発明の半導体装置の製造方法は、自己整合加工用の第1窒化珪素膜を形成し、さらにパッシベーション用の第2窒化珪素膜を形成する半導体装置の製造方法であって、前記第1窒化珪素膜は、シランおよび窒素を原料ガスとするプラズマCVD法により形成され、前記第2窒化珪素膜は、シラン、アンモニアおよび窒素を原料ガスとするプラズマCVD法により形成される。

41. 前記項40記載の半導体装置の製造方法であって、前記第1窒化珪素膜の形成は、前記第2窒化珪素膜の形成よりも高い温度で形成される。

42. 前記項40記載の半導体装置の製造方法であって、前記第1窒化珪素膜の形成は、400度以上の温度で行われる。

43. 本発明の半導体装置は、自己整合加工用の第1窒化珪素膜と、パッシベーション用の第2窒化珪素膜とを有する半導体装置であって、前記第1窒化珪素膜のFT-IR分析によるSi-H/Si-N結合比R1と、前記第2窒化珪素膜のFT-IR分析によるSi-H/Si-N結合比R2との間には、 $R1 < R2$ の関係性を有する。

44. 前記項43記載の半導体装置であって、前記第1窒化珪素膜のFT-IR分析によるSi-H結合は、 $2 \times 10^{21} \text{ cm}^{-3}$ 以下である。

なお、上記説明で括弧内に示した部材名称は例示であり、これに限定されるものではない。

20 以上開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

(1) 自己整合用の窒化珪素膜を低温で、かつ、水素含有量を小さく形成できる。

(2) 窒化珪素膜形成の際のプラズマダメージを低減できる。

25 (3) 多結晶シリコン膜の抵抗値変動が少なく、MISFETのしきい値変動が少ない半導体装置を提供できる。

(4) 高性能で高信頼な半導体装置を提供できる。

図面の簡単な説明

図 1 ～図 1 4 は、本発明の実施の形態 1 である半導体装置の製造方法を工程順に示した断面図である。図 1 5 は、窒化珪素膜の成膜温度を変化させた時の膜中水素含有量を示したグラフである。図 1 6 は、窒化珪素膜のアニールによる水素量変化率とアニール前後の応力変位の関係を示したグラフである。図 1 7 は、ボロンを含有する多結晶シリコン膜上の窒化珪素膜にアニールを施した場合の多結晶シリコン膜のシート抵抗値をアニール温度についてプロットしたグラフである。図 1 8 は、MISFET の NBTI 特性を示したグラフである。図 1 9 は、フラットバンド電圧のシフト量を示したグラフである。図 2 0 ～図 4 2 は、本発明の実施の形態 2 である DRAM の製造方法を工程順に示した断面図である。

10

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

15 (実施の形態 1)

図 1 ～図 1 4 は、本発明の実施の形態 1 である半導体装置の製造方法を工程順に示した断面図である。

まず、図 1 (a) に示すように、たとえば p 型の単結晶シリコンからなる半導体基板 1 を用意し、半導体基板 1 の主面に素子分離領域 2 を形成する。素子分離領域 2 はたとえば以下のようにして形成できる。まず、半導体基板 1 の主面上に酸化珪素膜 (SiO<sub>2</sub>) および窒化珪素膜 (SiN) を順次形成し、この窒化珪素膜をパターニングされたフォトリソ膜を用いてエッチングし、このエッチングされた窒化珪素膜をマスクとして半導体基板 1 に浅溝を形成する。その後、浅溝を埋め込む絶縁膜たとえば酸化珪素膜を堆積し、CMP (Chemical Mechanical Polishing) 法を用いて浅溝以外の領域の酸化珪素膜を除去し、さらにウェットエッチング法等により窒化珪素膜を除去する。これにより素子分離領域 2 (前記項 1 等の第 1 絶縁膜) が形成される。

次に、パターニングされたフォトリソ膜をマスクとして不純物をイオン注入し、p ウェル 3 および n ウェル 4 を形成する。p ウェル 3 には p 型の導電型を

示す不純物たとえばボロン（B）をイオン注入し、n ウェル4にはn型の導電型を示す不純物たとえばリン（p）をイオン注入する。p ウェル3にはnチャネル型MISFETQ<sub>n</sub>が形成され、n ウェル4にはpチャネル型MISFETQ<sub>p</sub>が形成される。

- 5 次に、図1（b）に示すように、p ウェル3、n ウェル4の各領域に酸化珪素膜5（前記項1等の第2絶縁膜）を形成する。酸化珪素膜5はMISFETのゲート絶縁膜となるものであり、たとえば熱CVD法により形成する。

次に、多結晶シリコン膜6を形成する。多結晶シリコン膜6は、MISFETのゲート電極（前記項1等の第1導体片）となるものであり、たとえばCVD法  
10 により形成する。

次に、図1（c）に示すように、nチャネル型MISFETQ<sub>n</sub>が形成される領域（p ウェル3領域）の多結晶シリコン膜6にフォトリソット膜（図示せず）をマスクにしてn型不純物（たとえばリン（P））をイオン注入する。これにより多結晶シリコン膜のn型領域6<sub>n</sub>が形成される。また、pチャネル型MISFETQ<sub>p</sub>が形成される領域（n ウェル4領域）の多結晶シリコン膜6にフォトリソット膜（図示せず）をマスクにしてp型不純物（たとえばボロン（B））をイ  
15 オン注入する。これにより多結晶シリコン膜のp型領域6<sub>p</sub>が形成される。

このように多結晶シリコン膜6へのイオン注入を、領域を分けて行うことにより、ゲート電極の導電型がnチャネル型MISFETの場合にn型、pチャネル  
20 型MISFETの場合にp型となるいわゆるデュアルゲート構造を構成できる。デュアルゲート構造を採用することにより、MISFETのV<sub>th</sub>（しきい値）を小さくすることができ、低電圧駆動のMISFETを構成できる。なお、ゲート電極の一部にボロンを含む多結晶シリコン膜を用いれば、ボロンの熱拡散係数が大きい  
25 ため、ゲート電極（多結晶シリコン膜）から拡散したボロンがチャネル領域（ウェル）に達してMISFETしきい値電圧を変動させやすいという問題が従来存在したが、本実施の形態では、後に説明するように水素を多く含まない窒化珪素膜を自己整合加工用の被膜に用いるため、ボロンの拡散を抑制し、半導体装置の高い信頼性を維持できる。この点は後に詳述する。

次に、図2（a）に示すように、多結晶シリコン膜6、6<sub>n</sub>、6<sub>p</sub>を所定のパ

ターンにパターニングし、ゲート電極 7 を形成する。なお、パターニングにはフォトリジスト膜（図示せず）をマスクとしたドライエッチング法を用いる。また、ゲート電極 7 は、配線としても機能させても良い。

- 次に、図 2（b）に示すように、フォトリジスト膜（図示せず）をマスクとして p ウェル 3 に n 型不純物（たとえばリンまたはヒ素（As））をイオン注入し、n 型半導体領域 8（前記項 1 等の半導体層）を形成する。ゲート電極 7 がマスクとしても機能するため、n 型半導体領域 8 はゲート電極 7 に対して自己整合的に形成される。また、フォトリジスト膜（図示せず）をマスクとして n ウェル 4 に p 型不純物（たとえばボロン）をイオン注入し、p 型半導体領域 9（前記項 1 等の半導体層）を形成する。同様にゲート電極 7 がマスクとしても機能するため、p 型半導体領域 9 はゲート電極 7 に対して自己整合的に形成される。

- 次に、図 2（c）に示すように、サイドウォール 10 をゲート電極 7 の側壁に形成する。サイドウォール 10 は、たとえばゲート電極 7 の側壁に段差被覆性よく形成できる程度の膜厚の酸化珪素膜を堆積し、この酸化珪素膜を異方性エッチングすることにより形成する。

- さらに、前記図 2（b）の工程と同様に、p ウェル 3 領域に n<sup>+</sup>型半導体領域 11、n ウェル 4 領域に p<sup>+</sup>型半導体領域 12 を形成する。n<sup>+</sup>型半導体領域 11、p<sup>+</sup>型半導体領域 12 は各々 n 型半導体領域 8、p 型半導体領域 9 よりも高い濃度で不純物を導入する。また、このイオン注入工程では、サイドウォール 10 もマスクとして機能するため、n<sup>+</sup>型半導体領域 11、p<sup>+</sup>型半導体領域 12 は、サイドウォール 10 に対して自己整合的に形成される。これにより、n 型半導体領域 8 および n<sup>+</sup>型半導体領域 11 からなる、あるいは、p 型半導体領域 9 および p<sup>+</sup>型半導体領域 12 からなる LDD（Lightly Doped Drain）構造のソース・ドレインが形成される。

- 次に、図 3（a）に示すように、広い素子分離領域 2 上に抵抗素子を形成する。抵抗素子は、素子分離領域 2 上の導体膜 R、導体膜 R を覆う絶縁膜 13 および絶縁膜 13 上の引き出し電極 14 からなる。導体膜 R には、比較的抵抗率の高い金属（たとえばタングステン等）あるいは比較的不純物の導入量の少ない半導体膜（たとえば多結晶シリコン膜）を用いることができる。絶縁膜 13 には、たと

例えば酸化珪素膜あるいは窒化珪素膜を適用できる。引き出し電極 14 は、たとえば多結晶シリコン膜を適用できる。導体膜 R は、たとえば半導体基板 1 の全面に導体膜を堆積しこれをパターニングすることにより形成できる。その後、絶縁膜 13 を CVD 法、スパッタ法等により堆積し、接続孔を開口後、たとえば多結晶シリコン膜を CVD 法により堆積し、この多結晶シリコン膜を所定の形状にパターニングして引き出し電極 14 を形成する。

なお、上記では、引き出し電極 14 を有する抵抗素子を例示しているが、引き出し電極 14 を設けず、プラグで直接引き出すタイプの抵抗素子を構成しても良い。この場合、導体膜 R を多結晶シリコン膜で構成すれば、後に説明するサリサイド工程で多結晶シリコン膜表面の全面がシリサイド化されることを防止するため導体膜 R の表面を絶縁膜で覆う必要がある。

また、前記図 2 (c) のサイドウォール 10 形成工程の前に導体膜 R を形成 (パターニング) し、サイドウォール 10 を形成するための絶縁膜を導体膜 R を覆うように形成しても良い。この場合、パターニングされた導体膜 R を覆うフォトレジスト膜を形成し、これをマスクとして絶縁膜を異方性エッチングすることにより、導体膜 R の形成領域では導体膜 R を覆う絶縁膜 13 を形成し、同時にサイドウォール 10 を形成できる。

次に、図 3 (b) に示すように、半導体基板 1 の全面に金属膜 15 を堆積する。金属膜 15 には、高融点金属を用い、たとえばチタン、タングステン、コバルト等を用いる。金属膜 15 の堆積には、たとえば CVD 法、スパッタ法を用いる。

次に、図 3 (c) に示すように、半導体基板 1 に、たとえば RTA (Rapid Thermal Anneal) 法を用いて熱処理を施す。この熱処理により金属膜 15 がシリコン材料と接する領域で、シリサイド化反応が生じ、シリサイド層 16 が形成される。シリサイド層 16 は、たとえば金属膜 15 がコバルトで構成される場合にはコバルトシリサイド (CoSi) となる。さらに、未反応の金属膜 15 を選択的に除去する。この未反応金属膜の除去は、シリサイド層 16 はエッチングされないが、金属膜 15 がエッチングされる条件でのウェットエッチングにより行える。

このようにゲート電極 7、 $n^+$ 型半導体領域 11、 $p^+$ 型半導体領域 12、引き

出し電極 14 上にシリサイド層 16 を形成することにより、コンタクトが形成される領域ではプラグ等との接続抵抗を低減でき、また、ゲート電極 7、 $n^+$ 型半導体領域 11、 $p^+$ 型半導体領域 12 等配線を構成する領域ではそのシート抵抗を低減できる。この結果、配線抵抗、配線間抵抗を低減して素子の応答速度を向

5 上し、半導体装置の性能向上を図れる。

なお、シリサイド層 16 は、それ自体耐熱性に乏しい性質を有する。すなわち、シリサイド層の結晶相によって抵抗値が相違し（特にコバルトシリサイドの場合）、抵抗値の小さな結晶相で構成してもその後の熱処理により抵抗値の高い結晶相に相変化する場合がある。また、その後の熱処理によりシリサイド層とシリ

10 サイド化されていないシリコン領域との界面でシリサイド化反応が進行し、シリサイド層内のシリコン元素比が低下して化学量論的に結晶構造からずれる場合がある。この場合もその抵抗値を上昇させる問題がある。さらに、未反応の金属領域が存在する場合には、未反応金属がその後の熱処理によりシリサイド化と同時にシリコン領域に移動し、未反応金属の存在していた領域に空洞（ボイド）を生

15 じる。このような空洞がコンタクト部分に形成された場合にはコンタクト抵抗を上昇させ、著しい場合には接続不良を来す。

しかし、本実施の形態では、この後に説明するように、その後の高い温度での熱処理を抑制し、特に自己整合用膜（窒化珪素膜）を、熱 CVD 法を用いずプラズマ CVD 法を用いて比較的低温で成膜するため、上記のようなシリサイド層 1

20 6 の耐熱性の問題は生じない。すなわち、シリサイド層 16 を耐熱性の問題を回避して用いることができ、半導体装置の性能を高くすることができる。

次に、図 4（a）に示すように、半導体基板 1 の全面に窒化珪素膜 17（前記項 1 等の第 3 絶縁膜）を形成する。窒化珪素膜 17 は、後に説明するように自己整合加工に用いられる。

25 窒化珪素膜 17 は、 $350^{\circ}\text{C}$  以上好ましくは  $400^{\circ}\text{C}$  以上の条件でプラズマ CVD 法により形成される。 $700^{\circ}\text{C}$  以上（たとえば  $780^{\circ}\text{C}$  程度）の成膜温度が必要な熱 CVD 法と比較して低温で窒化珪素膜が形成されるため、前記の通りシリサイド層 16 の耐熱性を問題にする必要がない。

また、窒化珪素膜 17 は、シラン（モノシラン（ $\text{SiH}_4$ ））と窒素（ $\text{N}_2$ ）を

原料ガスとして成膜し、原料ガスにアンモニア ( $\text{NH}_3$ ) を用いない。この点、後に説明するパッシベーション膜とは相違する。パッシベーション膜の成膜は原料ガスにモノシラン、アンモニアおよび窒素を含み、成膜温度を約  $350^\circ\text{C}$  程度の条件で行う。パッシベーション膜はステップカバレッジを重視するためアンモニアを含む原料ガスを用いるが、窒化珪素膜 17 の成膜にはアンモニアを含まない原料ガスを用いる。また、パッシベーション膜は  $350^\circ\text{C}$  程度の比較的低い温度で成膜するが、窒化珪素膜 17 は  $350^\circ\text{C}$  以上、好ましくは  $400^\circ\text{C}$  以上の温度で成膜する。すなわち、窒化珪素膜 17 の形成にはアンモニアを用いないが、パッシベーション膜の形成にはアンモニアを用いる。また、窒化珪素膜 17 は、  
10 パッシベーション膜よりも高い温度で成膜する。なお、本明細書では、温度は基板温度を意味する。

このようにアンモニアを含まない原料ガスを用いることにより、窒化珪素膜 17 に含まれる水素量を低減することができる。窒化珪素膜 17 中の水素量を低減することにより、その後に熱処理（たとえば層間絶縁膜に PSG (Phosphor Silicate Glass)、SOG (Spin On Glass) 等を用いる場合の  $700^\circ\text{C}$  程度での焼き締め（シンタリング）あるいは緻密化（デンシファイ））が加わっても、窒化珪素膜 17 からの水素の離脱が抑制できる。前記の通り、水素の離脱が生じると、窒化珪素膜 17 の応力が増加し、窒化珪素膜 17 の剥離または接続孔底部での接続不良の原因となる可能性がある。また、離脱水素は、前記の通り、不純物が  
20 導入されたシリコン層（ゲート電極 7、 $n^+$ 型半導体領域 11、 $p^+$ 型半導体領域 12、引き出し電極 14）内の不純物（特にボロン）を不活性化し、その抵抗値を上昇させる。また不純物（特にボロン）を移動させやすくし、拡散しやすくなった不純物（特にボロン）が MISFET のチャネル領域に移動してしきい値を変動させる。これら水素の離脱に起因する窒化珪素膜の応力増加、シリコン層の  
25 抵抗値変動および抵抗値上昇、あるいは MISFET のしきい値変動は、半導体装置の不良および性能劣化の原因となる。しかし、本実施の形態では、窒化珪素膜 17 にはアズデポ状態で水素が多量に含まれないため、前記のような問題は生じない。

また、アンモニアを含まない原料ガスを用いることにより、窒化珪素膜 17 を

形成する際のプラズマダメージを低減できる。すなわち、原料ガスにアンモニアを含む場合のプラズマでは、アンモニアを加えることによるペニング効果が生じ、プラズマ密度が上昇していると考えられる。しかし、本実施の形態ではアンモニアを原料ガスに加えないため、プラズマ密度が必要以上に上昇せず、プラズマダメージあるいはイオンのボンバードメントを抑制できる。この結果、窒化珪素膜 17 の形成基板となるシリコン層（ゲート電極 7、 $n^+$ 型半導体領域 11、 $p^+$ 型半導体領域 12、引き出し電極 14、あるいは、シリサイド層 16）へのダメージを低減し、ダングリングボンド発生の防止、ダングリングボンドに起因する抵抗の上昇を防止できる。

- 10      なお、前記したとおり、窒化珪素膜 17 に含まれる水素量は比較的少ないが、少なくとも後に説明するパッシベーション膜（窒化珪素膜）に含まれる水素量よりも少ない。

ここで、窒化珪素膜 17 に含まれる水素量あるいはこれに関連した窒化珪素膜の膜質に関する本発明者らの実験結果を説明する。

- 15      図 15 は、窒化珪素膜の成膜温度（デポ温度）を変化させた時の膜中水素含有量を示したグラフである。菱形のデータポイントはアズデポ状態の膜中水素含有量を示し、四角のデータポイントは 780℃で 10 秒間アニールした後の膜中水素含有量を示す。ライン A はアズデポ状態の膜中水素含有量を示した実験直線であり、ライン B はアニール後の膜中水素含有量を示した実験直線である。ライン A が示すとおり、デポ温度が高いほど膜中水素含有量が低下し、また、ライン A とライン B との差（すなわちアニールにより離脱した水素量）はデポ温度が高いほど少なくなっている。このことからデポ温度を高くすることによりアズデポでの水素量を低減でき、またアニールによる離脱水素量を少なくできる。
- 20

- 図 16 は、図 15 の結果から得られるアニールによる水素量変化率とアニール前後の応力変位の関係を示したグラフである。ライン C は各データポイントから得られる実験直線である。なお、ここで水素量変化率は、アニール後の水素量をアズデポ状態での水素量で除した値で示す。同図が示すように、アニールによる水素数変化率と応力変位との間には強い相関性があり、水素数変化率が大きいほど（すなわちデポ温度が高いほど）応力変位が小さいことがわかる。アニールに
- 25



よる水素数変化率がほぼ0.7（ラインD）を境にして、それより水素数変化率が小さい（すなわちデポ温度が低い）領域で膜剥離が生じ、それより大きい（すなわちデポ温度が高い）領域で膜剥離が生じない。実験的には、デポ温度を400℃にすることにより窒化珪素膜の剥離をほぼ防止することができ、前記した窒

5 化珪素膜17を好ましくは400℃以上で成膜する意義がここにある。

図17は、ボロンを含有する多結晶シリコン膜上に窒化珪素膜を堆積し、その後アニールを施した場合の多結晶シリコン膜のシート抵抗値をアニール温度についてプロットしたグラフである。各データにはエラーバーを付している。

10 三角のデータポイントは原料ガスにモノシランおよび窒素（2元系）を用い、400℃で窒化珪素膜を成膜した場合のデータであり、ラインEはそのデータを結んだ実験曲線である。

黒丸のデータポイントは原料ガスにモノシラン、アンモニアおよび窒素（3元系）を用い、360℃で窒化珪素膜を成膜した場合のデータであり、ラインFはそのデータを結んだ実験曲線である。

15 菱形のデータポイントGは、リファレンスとして示すデータであり、窒化珪素膜の堆積およびアニールをしない場合の多結晶シリコン膜のシート抵抗（アズデポ状態）を示す。この場合がもっとも低い抵抗値を示しているのはもちろんである。

20 四角のデータポイントは、考察を得るための各種の比較データであり、ポイントHは多結晶シリコン膜をNH<sub>3</sub>プラズマで処理した場合のデータ、ポイントIは多結晶シリコン膜をN<sub>2</sub>プラズマで処理した場合のデータ、ポイントJは多結晶シリコン膜をNH<sub>3</sub>/N<sub>2</sub>Oプラズマで処理した場合のデータ、ポイントKは多結晶シリコン膜をN<sub>2</sub>プラズマで処理した後、950℃、10秒の熱処理を施した場合のデータを各々示す。

25 図17に示す各データから、以下のことがわかる。すなわち、2元系ガスを用いて400℃で窒化珪素膜を成膜した場合（ラインE）は、3元系ガスを用いて36℃で窒化珪素膜を成膜した場合（ラインF）よりも多結晶シリコン膜のシート抵抗値が低く（すなわちアズデポ状態の多結晶シリコン膜に近く）、多結晶シリコン膜の劣化を受けていないといえる。このような2元系ガスによる窒化珪素

- 膜と3元系ガスによる窒化珪素膜の抵抗値の相違を説明するために、 $\text{NH}_3$ プラズマで処理した場合のデータ（ポイントH）及び $\text{N}_2$ プラズマで処理した場合のデータ（ポイントI）と、 $\text{NH}_3/\text{N}_2\text{O}$ プラズマで処理した場合のデータ（ポイントJ）との比較が参考になる。すなわち、ポイントH、Iのデータは2元系ガスのデータ（ラインE）に対応し、ポイントJのデータは3元系ガスのデータ（ラインF）に対応し、各対応するデータではシート抵抗値がほぼ同等である。一方、 $\text{NH}_3$ プラズマおよび $\text{N}_2$ プラズマでは1元系ガスによるプラズマが生成しているのに対し、 $\text{NH}_3/\text{N}_2\text{O}$ プラズマでは2元系ガスによるプラズマとなり、1元系の場合に比較してプラズマ解離度の高くなるペニング効果が生じていると考えられる。すなわち、ポイントH、IのデータとポイントJのデータとの差は、ペニング効果に起因する多結晶シリコン膜のプラズマダメージによると考えられる。同様の考察をラインEとラインFの場合に適用すれば、3元系ガスによる窒化珪素膜の堆積（ラインF）の際にはアンモニアに起因するペニング効果が生じており、2元系ガスの場合（ラインE）に比較して、その基板である多結晶シリコン膜がプラズマダメージを多く受け、この結果多結晶シリコン膜の抵抗値が上昇しているものと考察できる。本実施の形態において窒化珪素膜17として、2元系ガスを用い400℃以上の基板温度で成膜した窒化珪素膜を用いれば、ゲート電極7等の抵抗値を低く保ち、半導体装置の性能を高く維持できることを実験的に示している。
- また、2元系ガスの窒化珪素膜はアニール温度を高くしてもシート抵抗値が大きく上昇しないが、3元系の窒化珪素膜ではアニール温度を高くするとより大きくシート抵抗が上昇する。このようなアニール温度によるシート抵抗変化の有無を説明するために、多結晶シリコン膜を $\text{N}_2$ プラズマで処理した後、950℃、10秒の熱処理を施した場合のデータ（ポイントK）が参考になる。ポイントKの場合には、多結晶シリコン膜を $\text{N}_2$ プラズマで処理、熱処理を施したのみであるから、そのような処理による多結晶シリコン膜のシート抵抗上昇が生じていると考えられる。すなわち、水素の影響を受けないでもポイントKに示す程度の抵抗上昇は生じる。一方、950℃程度の熱処理（アニール）を施した場合の2元系ガスのデータ（ラインE）とポイントKのデータとはほぼ同等であるが、3元

系ガスの場合のデータ（ラインF）は大きく抵抗が上昇している。すなわち、2元系ガスの場合には水素の影響をほとんど受けていないが、3元系ガスの場合には水素が多く離脱することは図15で示した通りであり、この水素に起因して多結晶シリコン膜の抵抗が上昇していると考えられる。つまり、アニール温度の上昇に伴って多結晶シリコン膜の抵抗が上昇（ラインFの場合）するのは離脱水素に起因し、多結晶シリコン膜中の不純物（ボロン）が不活性化しているためと考え得る。本実施の形態の窒化珪素膜17に2元系ガスを用いて400℃以上で成膜した窒化珪素膜を用いれば、その後に処理温度の高い工程が介在しても、ゲート電極7等の抵抗値の変動を抑え、半導体装置の信頼性を高く維持できることを実験的に示している。

このように、400℃以上の基板温度で、シランおよび窒素を原料ガスとするプラズマCVD法による窒化珪素膜を、本実施の形態の窒化珪素膜17に適用することにより、窒化珪素膜17の剥離を防止し、また、窒化珪素膜17からの水素の離脱を抑制し、半導体装置の性能と信頼性を向上できる。

次に、図4（b）に示すように、層間絶縁膜18（前記項1等の第4絶縁膜）を形成する。層間絶縁膜18は、たとえば酸化珪素膜からなる。酸化珪素膜は、たとえばCVD法により形成する。また、層間絶縁膜18は、PSG、SOG等を用いても良い。PSG、SOG等自己流動的な膜を用いれば、微細に加工されたゲート電極7を良好に埋め込み、表面の平坦化が容易になる。なお、PSG、SOG等を用いる場合には、シンタリングあるいはデンシファイのための熱処理が行われるが、前記の通り窒化珪素膜17からの水素の離脱は抑制されているから、窒化珪素膜17の剥離、ゲート電極7等の抵抗上昇あるいは変動、MISFETのしきい値電圧変動の問題は発生しない。

なお、層間絶縁膜18の表面はたとえばCMP（Chemical Mechanical Polishing）法を用いて平坦化しても良い。

次に、図5（a）に示すように、層間絶縁膜18上に接続孔パターンに開口が形成されたフォトレジスト膜19を形成し、フォトレジスト膜19をマスクとしてエッチング処理を施し、接続孔20（前記項1等の第1開孔）の一部を形成する。このエッチング（第1のエッチング工程）は、酸化珪素膜がエッチングされ

、窒化珪素膜がエッチングされ難い条件で行う。このような条件を選択することにより、窒化珪素膜 17 をエッチングストoppaとして機能させることができる。これにより、深さの異なる接続孔であっても、窒化珪素膜 17 の上面が露出するようにエッチングすることができる。すなわち、もっとも深い孔が確実に加工で

5 きるまで十分なオーバーエッチングを行うことができ、深さの異なる孔を確実に加工できる。また、ウェハ面内でのエッチング速度に不均一性が存在しても、もっとも遅くエッチングが終了する孔の加工が終了するまで十分なオーバーエッチングを施すことができ、接続孔の加工マージンを増すことができる。

次に、図 5 (b) に示すように、第 2 のエッチングを行って、接続孔 20 底部

10 の窒化珪素膜 17 を除去する。これにより接続孔 20 を形成する。この第 2 のエッチングの条件は、窒化珪素膜がエッチングされやすく、酸化珪素膜がエッチングされ難い条件で行う。この第 2 のエッチングの際に、十分なオーバーエッチングを行っても、その下部（下地）である半導体基板 1（素子分離領域 2）の過剰なエッチングを抑制できる。すなわち、窒化珪素膜 17 の厚さは、層間絶縁膜 1

15 8 の厚さと比較して十分に薄く、このため、第 2 のエッチング工程でのオーバーエッチングは、せいぜい窒化珪素膜 17 の厚さの 2 分の 1 に相当する程度で十分である。このため、第 2 のエッチング工程でのオーバーエッチングは素子分離領域 2 等が過剰にエッチングされる程度まで大きくなく、ほとんど障害を生じない程度に抑制することが可能となる。これにより、素子分離領域 2 等の過剰エッチ

20 ングに起因する M I S F E T の性能低下、信頼性低下を生じず、半導体装置の性能と信頼性を高く維持できる。

なお、窒化珪素膜 17 が前記したとおり剥離し難いため、この接続孔 20 の開口工程で窒化珪素膜 17 が剥離することはない。

次に、図 6 (a) に示すように、接続孔 20 内にプラグ 21 をたとえば以下の

25 ようにして形成する。まず、接続孔 20 の内部を含む半導体基板 1 の全面に窒化チタン (T i N) 膜を形成する。窒化チタン膜はたとえば C V D 法により形成できる。C V D 法は被膜の段差被覆性に優れるため、微細な接続孔 20 内にも均一な膜厚で窒化チタン膜を形成できる。なお、窒化珪素膜 17 が剥離し難いため、窒化チタン膜の段差被覆性が阻害されることがない。次に、接続孔 20 を埋め込

むタングステン（W）膜を形成する。タングステン膜は、たとえばCVD法で形成できる。CVD法であれば同様に微細な接続孔20内をタングステンで埋め込むことができる。次に、接続孔20以外の領域の窒化チタン膜およびタングステン膜をたとえばCMP法により除去してプラグ21を形成できる。

- 5 次に、図6（b）に示すように、層間絶縁膜18およびプラグ21上に、窒化珪素膜22を形成し、さらに第1配線層形成用の絶縁膜23を形成する。窒化珪素膜22は、絶縁膜23への溝加工の際にエッチングストップとなる膜であり、絶縁膜23に対してエッチング選択比を有する材料を用いる。絶縁膜23は、配線間の線間容量を低く抑えるため、誘電率の小さな材料を用いる。絶縁膜23は、
- 10 、たとえば酸化珪素膜とする。また、絶縁膜23は、誘電率の小さな有機SOG膜、あるいは、フッ素を含有するSOG膜であっても良い。なお、窒化珪素膜22と絶縁膜23には第2層配線が形成される。このため、その合計膜厚は第2配線層に必要な設計膜厚で決められる。また、配線間容量を低減することを考慮すれば、誘電率の高い窒化珪素膜からなる窒化珪素膜22の膜厚はストップパ機能を
- 15 達するに十分な膜厚であればできるだけ薄いことが望ましい。

- なお、窒化珪素膜22には、前記した窒化珪素膜17と同様、400℃以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマCVD法による窒化珪素膜を適用できる。このような窒化珪素膜17同様の膜を窒化珪素膜22に適用することにより、熱CVD法による場合のような高い温度での工程を経ることなく水素の離脱が少ない被膜をストップパ膜に適用できる。この結果、仮にこの
- 20 工程後に水素離脱を生じ得るような工程が介在しても窒化珪素膜22が剥離を生じず、また、水素の離脱が抑制されるので、離脱水素がMISFETの特性劣化等を生じる余地はない。

- 次に、図7（a）に示すように、絶縁膜23上に第1配線層の配線パターンに
- 25 開口が形成されたフォトレジスト膜24をパターンニングし、このフォトレジスト膜24をマスクとして第1のエッチングを施す。この第1のエッチングにより絶縁膜23に配線溝25の一部を形成する。このエッチングの際には酸化珪素膜がエッチングされ易く窒化珪素膜がエッチングされ難い条件を選択する。これにより窒化珪素膜22をエッチングストップとして用いる。

次に、図 7 (b) に示すように、窒化珪素膜がエッチングされる条件を選択して第 2 のエッチングを施す。前記したように窒化珪素膜 2 2 の膜厚は十分に薄く形成されているため、第 2 のエッチングでのオーバーエッチングは少なくよく、層間絶縁膜 1 8 の過剰エッチングを抑制できる。このように 2 段階のエッチングを用いることにより、配線溝 2 5 の深さを均一かつ確実に形成することができる。

次に、配線溝 2 5 の内部に第 1 配線層の配線 2 6 を形成する。配線 2 6 は、バリア層および主導電層からなり、バリア層はたとえば窒化チタン膜、主導電層はたとえば銅である。バリア層は銅の周辺への拡散を防止する機能を有し、たとえば窒化チタン膜を例示できる。なお、窒化チタン膜には限られず、銅の拡散防止機能を有する限り他の金属膜であってもよい。たとえば、窒化チタンに代えてタンタル (Ta)、窒化タンタル (Ta<sub>2</sub>N<sub>3</sub>) を用いることもできる。次工程以下のバリア層については窒化チタン膜を例示して説明するが、タンタル、窒化タンタル等に代えることができることは前記と同様である。銅膜は主導電層として機能し、たとえばメッキ法で形成できる。メッキ膜の形成前にシード膜として薄い銅膜をスパッタ法により形成できる。また、銅膜は、スパッタ法により形成してもよい。この場合、スパッタにより銅膜を形成後、熱処理により銅膜を流動化させて、接続孔または配線溝へ埋め込み特性を向上するようにしてもよい。次工程以下の銅膜についてはメッキ法で形成する場合を例示するが、スパッタ法を用いてもよいことは前記と同様である。

配線 2 6 の形成は以下のようにして行う。まず、配線溝 2 5 の内部を含む半導体基板 1 の全面に窒化チタン膜を形成し、その後配線溝 2 5 を埋め込む銅膜を形成する。これにより窒化チタン膜および銅膜からなる金属積層膜 2 7 を形成し、この金属積層膜 2 7 で配線溝 2 5 を埋め込む (図 8 (a))。

窒化チタン膜の形成にはたとえば CVD 法を、銅膜の形成にはたとえばメッキ法を用いる。メッキ法による銅膜の形成前にたとえばスパッタ法により銅のシード膜を形成できる。その後、配線溝 2 5 以外の領域の銅膜および窒化チタン膜を CMP 法により除去して配線 2 6 を形成できる (図 8 (b))。

次に、図 9 (a) に示すように、配線 2 6 および絶縁膜 2 3 上にストッパ絶縁

膜 2 8 および層間絶縁膜 2 9 を順次形成する。ストップ絶縁膜 2 8 は、層間絶縁膜 2 9 に対してエッチング選択比を有する材料で構成され、たとえば窒化珪素膜とすることができる。一方層間絶縁膜 2 9 は酸化珪素膜とすることができる。なお、ストップ絶縁膜 2 8 には、前記窒化珪素膜 1 7 と同様の条件で形成された窒

5 化珪素膜を適用できる。

次に、層間絶縁膜 2 9 上に、接続孔パターンに開口が形成されたフォトリジスト膜をパターンニングし、このフォトリジスト膜をマスクとして層間絶縁膜 2 9 をエッチングする。このエッチングの際には、窒化珪素膜がエッチングされ難く、酸化珪素膜がエッチングされ易い条件を選択する。これによりストップ絶縁膜 2  
10 8 をエッチングストップとして層間絶縁膜 2 9 をエッチングできる。さらに、窒化珪素膜がエッチングされる条件を選択してストップ絶縁膜 2 8 をエッチングする。これにより接続孔 3 0 が形成される。2 段階のエッチングにより下地の過剰エッチングを抑制できる点は前記した通りである。

次に、接続孔 3 0 内にプラグ 3 1 を形成する。プラグ 3 1 は以下のようにして  
15 形成できる。まず、接続孔 3 0 の内部を含む半導体基板 1 の全面にバリア層を形成し、さらに接続孔 3 0 を埋め込む銅 (C u) 膜を形成する。その後、接続孔 3 0 以外の領域の銅膜およびバリア膜を CMP 法により除去してプラグ 3 1 を形成する。

次に、図 9 (b) に示すように、配線 2 6 の場合と同様に、窒化珪素膜 3 2 お  
20 よび酸化珪素膜 3 3 を形成し、この酸化珪素膜 3 3 および窒化珪素膜 3 2 に 2 段階のエッチングを行って配線溝 3 4 を形成する。さらに配線 2 6 と同様の配線 3 5 を配線溝 3 4 内に形成する。なお、窒化珪素膜 3 2 には、前記窒化珪素膜 2 2 と同様の窒化珪素膜を適用できる。

次に、図 1 0 に示すように、プラグ 3 1 の場合と同様に、ストップ絶縁膜 3 6  
25 および層間絶縁膜 3 7 を形成し、ストップ絶縁膜 3 6 および層間絶縁膜 3 7 に 2 段階のエッチングにより形成した接続孔 3 8 を加工する。そして接続孔 3 8 内にプラグ 3 1 と同様なプラグ 3 9 を形成する。

さらに、層間絶縁膜 3 7 上に配線 4 0 を形成する。配線 4 0 は、たとえばチタン膜、アルミニウム膜および窒化チタン膜の積層膜とする。配線 4 0 は、たとえ

ばチタン膜、アルミニウム膜および窒化チタン膜を順次堆積し、フォトリソグラフィを用いてこれを所定のパターンにエッチングすることにより形成する。

次に、図 1 1 に示すように、配線 4 0 を覆う絶縁膜 4 1 を形成し、さらに、絶縁膜 4 1 上に絶縁膜 4 2 を形成する。絶縁膜 4 1 は、たとえば酸化珪素膜からなり、たとえば CVD 法により形成する。絶縁膜 4 2 は、たとえば SOG からなる。SOG 膜で構成することにより配線 4 0 により生じた表面の凹凸を平坦化できる。なお、この SOG 膜の形成の際に SOG 膜をリフローするための熱処理を施すが、前記窒化珪素膜 1 7、2 2 等に前記の通りの剥離耐性に優れた、また、水素離脱が抑制された窒化珪素膜を適用するため、半導体装置の性能と信頼性を高く維持できる。なお、絶縁膜 4 2 上には、さらに酸化珪素膜を形成しても良い。

さらに、絶縁膜 4 2 上に配線 4 3 (項 1 等の第 3 導体片) を形成する。配線 4 3 にはボンディングパッドが含まれ、外部接続用導体片 (たとえばバンプ) が接続される。配線 4 3 は、たとえばアルミニウム膜からなり、たとえばスパッタ法により形成される。

次に、図 1 2 に示すように、配線 4 3 を覆う窒化珪素膜 4 4 (項 1 等の第 5 絶縁膜) を形成する。窒化珪素膜 4 4 は、パッシベーション膜を構成する膜であり、半導体装置の外部から侵入する水分あるいは不純物をブロッキングする作用を有する。また  $\alpha$  線等の透過を抑制し、半導体装置の誤動作を抑制する。これらの機能を担保するため、窒化珪素膜 4 4 には、段差被覆性 (ステップカバレッジ) が要求される。従って、窒化珪素膜 4 4 に適用される窒化珪素膜は、350℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマ CVD 法により形成される。このような条件で窒化珪素膜を形成することにより、段差被覆性に優れた膜を形成でき、有効に水分および不純物の侵入を防止できる。なお、このように、窒化珪素膜 4 4 と窒化珪素膜 1 7、2 2 とは異なる条件で形成される。すなわち、窒化珪素膜 4 4 は、窒化珪素膜 1 7、2 2 よりも低い温度で形成され、また、窒化珪素膜 4 4 の形成にはアンモニアが用いられるが、窒化珪素膜 1 7、2 2 の形成にはアンモニアが用いられない。この点が本実施の形態の特徴の一つである。

次に、図 1 3 に示すように、窒化珪素膜 4 4 を覆う酸化珪素膜 4 5 を形成する



。窒化珪素膜 4 4 および酸化珪素膜 4 5 はパッシベーション膜として機能する。さらに、図 1 4 に示すように、酸化珪素膜 4 5 および窒化珪素膜 4 4 に接続孔 4 6 を形成して配線 4 3 を露出する。この接続孔 4 6 を覆うようにバンプ下地金属 4 7 を形成後、外部接続用導体片であるバンプ 4 8 を形成する。なお、バンプ 4 8 はほぼ球状に形成されるが、図では一部を省略している。接続孔 4 6 は、フォトリソグラフィおよびエッチング技術を用いて形成でき、バンプ下地金属 4 7 は半導体基板 1 全面への金属膜の堆積後、これをパターニングすることにより形成できる。バンプ下地金属 4 7 としては、たとえば金を例示でき、バンプ 4 8 としては金、半田を例示できる。

- 10      この後、パッケージ基板等を実装され半導体装置が完成するが、それらの説明は省略する。

なお、ここでは外部接続用導体片としてバンプ 4 8 を例示しているが、ボンディングワイヤ等その他のインナーリードを用いても良い。金ワイヤを用いてリードフレームに接続する場合等は、後に樹脂等でモールドされるが、この工程の説

- 15      明は省略する。

また、ポリイミド等の樹脂膜を介して再配置配線を形成し、この再配置配線のパッド領域上にバンプを形成し、その後ウェハを分断することにより個別の半導体装置を完成する、いわゆる W P P (ウェハプロセスパッケージ) にも本実施の形態の半導体装置を適用できる。

- 20      本実施の形態の効果を図 1 8 および図 1 9 を用いて説明する。図 1 8 は、M I S F E T の N B T I (Negative Bias Temperature Instability) 特性を示したグラフである。図中、ライン L は本実施の形態の半導体装置について測定したデータである。ライン M, N, O は、比較として示したデータであり、本実施の形態の窒化珪素膜 1 7 に相当する膜に、3 5 0 °C 程度の基板温度で、モノシラン、  
25      アンモニアおよび窒素を原料ガスとするプラズマ C V D 法により形成された窒化珪素膜 (窒化珪素膜 4 4 と同様の条件で形成された膜) を適用した場合のデータである。ライン M, N, O は、各々異なる装置を用いて窒化珪素膜を形成している。

図 1 8 に示すように、ソース・ゲート間電圧 ( $V_{gs}$ ) が実際に使用される状

況（たとえば  $V_{gs} = -1\text{ V}$ ）での寿命（ $t_{au}$ ：オフ電流の上昇時間を示す特性値）は、ラインLの示す値が最も大きい。すなわち、本実施の形態の半導体装置の信頼性が、他の場合（ラインM, N, O）よりも優れている。寿命  $t_{au}$  は対数表示されていることから、本実施の形態の半導体装置の信頼性は桁違いに優れていることがわかる。

また、図19は、フラットバンド電圧（ $V_{fb}$ ）のシフト量を示したグラフである。MISFETとしてはp型不純物（ボロン）がゲート電極にドーピングされたpチャネル型MISFETを用いている。図中、右側（ $\text{NH}_3$ 無し）のデータは本実施の形態の半導体装置の場合を示し、左側（ $\text{NH}_3$ 有り）のデータは本実施の形態の窒化珪素膜17に相当する膜に、 $550^\circ\text{C}$ 程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマCVD法により形成された窒化珪素膜（窒化珪素膜44と同様の条件で形成された膜）を適用した場合を示している。

図19に示すように、 $\text{NH}_3$ 有りの場合（左側）に $V_{fb}$ シフトが $1.4\text{ V}$ に達するのに対し、 $\text{NH}_3$ 無しの場合（右側）では $V_{fb}$ シフトは $0.45\text{ V}$ 程度に止まる。 $V_{fb}$ シフトがゲート電極からの不純物（ボロン）拡散により生じることを考慮すれば、本実施の形態の半導体装置では、ゲート電極からのボロンの拡散が有効に抑制されていることがわかる。

本実施の形態によれば、窒化珪素膜17、22等に $400^\circ\text{C}$ 以上の基板温度で、モノシランおよび窒素（すなわちアンモニアを用いず）を原料ガスとするプラズマCVD法で形成した窒化珪素膜を適用するため、窒化珪素膜17、22等の剥離を抑制し、また、窒化珪素膜17、22等からの水素の離脱を抑制できる。この結果、半導体装置の性能と信頼性を高く維持できる。

なお、窒化珪素膜17等に適用した窒化珪素膜（第1窒化珪素膜）と、窒化珪素膜44に適用した窒化珪素膜（第2窒化珪素膜）とを比較すると、FT-IR法で測定した $\text{Si-H}$ 結合、および $\text{Si-N}$ 結合の比率が相違する。すなわち、第1窒化珪素膜の $\text{Si-H}/\text{Si-N}$ 結合比 $R_1$ と、第2窒化珪素膜の $\text{Si-H}/\text{Si-N}$ 結合比 $R_2$ との間には、 $R_1 < R_2$ 、の関係がある。本発明者らのFT-IR測定によれば、第1窒化珪素膜の $\text{Si-H}$ 結合数は $1 \times 10^{21} \text{ cm}^{-3}$

であり、Si-N結合数は $1.0 \times 10^{21} \text{ cm}^{-3}$ であるのに対し、第2窒化珪素膜のSi-H結合数は $1.1 \times 10^{21} \text{ cm}^{-3}$ であり、Si-N結合数は $6 \times 10^{21} \text{ cm}^{-3}$ である。第2窒化珪素膜からの水素脱離は、主にSi-H結合から生じていると考え得る。

5 (実施の形態2)

本発明の実施の形態2であるDRAM (Dynamic Random Access Memory) の製造方法を図20～図42を用いて工程順に説明する。なお、基板の断面を示す各図の左側部分はDRAMのメモリセルが形成される領域(メモリセルアレイ)を示し、右側部分は周辺回路領域を示している。

- 10 まず、図20に示すように、p型で比抵抗が $10 \Omega \text{ cm}$ 程度の単結晶シリコンからなる半導体基板(以下単に基板という)101を用意し、フォトリソグラフィおよびエッチング技術を用いて、基板101に深さ350nm程度の素子分離溝102を形成する。その後、たとえば850～900℃程度のウェット酸化、あるいは約1000℃でのドライ熱酸化により薄い(膜厚10nm程度の)酸化珪素膜
- 15 106を素子分離溝102の内壁に形成する。さらに、たとえばオゾン( $\text{O}_3$ )とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法により酸化珪素膜(以下TEOS酸化膜という)を400nm程度の膜厚で堆積し、素子分離溝102を埋め込む。この酸化珪素膜をCMP (Chemical Mechanical Polishing) 法により研磨して素子分離溝102以外の領域の酸化珪素膜を除去し、素子分離溝102の内部に酸化珪素膜107を残して素子分離領域を形成する。
- 20

- 次に、図21に示すように、基板101にp型不純物(ホウ素)およびn型不純物(例えばリン)をイオン打ち込みした後、約1000℃の熱処理で上記不純物を拡散させることによって、メモリセルアレイの基板101にp型ウエル103およびn型ウエル105を形成し、周辺回路領域の基板101にp型ウエル103およびn型ウエル104を形成する。さらに、フッ酸系の洗浄液を用いて基板101(p型ウエル103およびn型ウエル104)の表面をウェット洗浄した後、約800℃の熱酸化でp型ウエル103およびn型ウエル104のそれぞれの表面に膜厚6nm程度の清浄なゲート酸化膜108を形成する。
- 25

次に、図 2 2 に示すように、ゲート酸化膜 1 0 8 の上部にリン (P) をドーピングした膜厚 1 0 0 nm 程度の低抵抗多結晶シリコン膜 1 0 9 a を C V D 法で堆積し、続いてその上部にスパッタリング法で膜厚 5 nm 程度の WN 膜 1 0 9 b と膜厚 5 0 nm 程度の W 膜 1 0 9 c とを堆積し、さらにその上部に C V D 法で膜厚 1 0 0 nm 程度の酸化珪素膜 1 1 0 a を堆積する。

次に、上記 W 膜 1 0 9 c の応力緩和と WN 膜 1 0 9 b のデンシファイ (緻密化) とを目的として、窒素などの不活性ガス雰囲気中で約 8 0 0 °C の熱処理を行う。W 膜 1 0 9 c の上部の酸化珪素膜 1 1 0 a は、この熱処理時における W 膜 1 0 9 c の表面保護と、次の工程で酸化珪素膜 1 1 0 a の上部に堆積する窒化珪素膜 (1 1 0 b) と下層の W 膜 1 0 9 c との界面の応力緩和を目的として形成する。

次に、図 2 3 に示すように、酸化珪素膜 1 1 0 a の上部に膜厚 1 0 0 nm 程度の窒化珪素膜 1 1 0 b を堆積した後、フォトレジスト膜 (図示せず) をマスクにして窒化珪素膜 1 1 0 b をドライエッチングすることにより、ゲート電極を形成する領域に窒化珪素膜 1 1 0 b を残す。

この窒化珪素膜 1 1 0 b は、実施の形態 1 で説明した窒化珪素膜 1 7 と同様の条件で形成する。すなわち、4 0 0 °C 以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマ C V D 法により形成する。窒化珪素膜 1 1 0 b は後に説明するようにメモリセル領域に形成される接続孔を自己整合加工する際に用いられるものであり、ゲート電極のキャップ絶縁膜として機能する。このようなキャップ絶縁膜から水素が脱離すれば、実施の形態 1 で説明したと同様の問題を生じる。すなわち、剥離による接続孔の加工不良、ゲート電極、ソース・ドレイン等の抵抗増加あるいは抵抗変動、さらには、M I S F E T のしきい値変動の問題である。しかし、本実施の形態では、キャップ絶縁膜となる窒化珪素膜 1 1 0 b に水素脱離し難い窒化珪素膜を用いることにより、前記のような問題を回避できる。

次に、フォトレジスト膜を除去した後、図 2 4 に示すように、窒化珪素膜 1 1 0 b をマスクにして酸化珪素膜 1 1 0 a 、W 膜 1 0 9 c 、WN 膜 1 0 9 b および多結晶シリコン膜 1 0 9 a をドライエッチングする。これにより、メモリセルアレイおよび周辺回路領域に多結晶シリコン膜 1 0 9 a 、WN 膜 1 0 9 b および W

膜109cからなるゲート電極109を形成し、これらのゲート電極109の上部に酸化珪素膜110aおよび窒化珪素膜110bからなるキャップ絶縁膜110を形成する。なお、メモリセルアレイに形成されたゲート電極109は、ワード線WLとして機能する。また、本実施の形態では、キャップ絶縁膜110に酸化珪素膜110aが含まれる構成を説明しているが、酸化珪素膜110aは必須ではない。つまり、キャップ絶縁膜110は窒化珪素膜110bからのみで構成されても良い。

次に、図25に示すように、ゲート電極109の両側のp型ウェル103にn型不純物（リンまたはヒ素）をイオン打ち込みすることによってn<sup>-</sup>型半導体領域111を形成し、n型ウェル104にp型不純物（ホウ素）をイオン打ち込みすることによってp<sup>-</sup>型半導体領域112を形成する。

次に、図26に示すように、基板101上に膜厚50nm程度の窒化珪素膜113を堆積する。その後、メモリセルアレイの基板101の上部をフォトレジスト膜（図示せず）で覆い、周辺回路領域の窒化珪素膜113を異方的にエッチングすることによって、周辺回路領域のゲート電極109の側壁にサイドウォールスペーサ113aを形成する。

窒化珪素膜113は、窒化珪素膜110bと同様に、400℃以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマCVD法により形成する。窒化珪素膜113は、メモリセルアレイの領域では、窒化珪素膜110bとともにメモリセルアレイ領域に形成される接続孔を自己整合加工する際に用いられる。すなわち、メモリセルアレイのゲート電極のサイドウォールとして機能する。このような窒化珪素膜113から水素が脱離すれば、実施の形態1で説明したと同様の問題を生じる。すなわち、剥離による接続孔の加工不良、ゲート電極、ソース・ドレイン等の抵抗増加あるいは抵抗変動、さらには、MISFETのしきい値変動の問題である。しかし、本実施の形態では、窒化珪素膜113に水素脱離し難い窒化珪素膜を用いることにより、前記のような問題を回避できる。

また、窒化珪素膜113から形成されるサイドウォールスペーサ113aも同様に水素脱離し難い窒化珪素膜で構成される。従って、周辺回路領域においても前記と同様な効果が得られる。

次に、周辺回路領域の p 型ウエル 103 に n 型不純物（リンまたはヒ素）をイオン打ち込みすることによって n<sup>+</sup> 型半導体領域 114（ソース、ドレイン）を形成し、n 型ウエル 104 に p 型不純物（ホウ素）をイオン打ち込みすることによって p<sup>+</sup> 型半導体領域 115（ソース、ドレイン）を形成する。ここまでの工程で、周辺回路領域に LDD (Lightly Doped Drain) 構造のソース、ドレインを備えた n チャネル型 MISFETQn および p チャネル型 MISFETQp が形成される。

次に、図 27 に示すように、ゲート電極 109 の上部に酸化珪素膜 116 を形成し、酸化珪素膜 116 を化学的および機械的に研磨することによって、その表面を平坦化する。

次に、図 28 に示すように、フォトリジスト膜（図示せず）をマスクにしてメモリセルアレイの酸化珪素膜 116 をドライエッチングした後、図 29 に示すように、酸化珪素膜 116 の下層の窒化珪素膜 113 をドライエッチングすることによって、n<sup>-</sup> 型半導体領域 111 の上部にコンタクトホール 118、119 を形成する。

上記酸化珪素膜 116 のエッチングは、窒化珪素に比べて酸化珪素（酸化珪素膜 116）のエッチング速度が大きくなるような条件で行い、窒化珪素膜 113 が完全には除去されないようにする。また、窒化珪素膜 113 のエッチングは、シリコン（基板）や酸化珪素に比べて窒化珪素のエッチング速度が大きくなるような条件で行い、基板 101 や酸化珪素膜 107 が深く削れないようにする。さらに、窒化珪素膜 113 のエッチングは、窒化珪素膜 113 が異方的にエッチングされるような条件で行い、ゲート電極 109（ワード線 WL）の側壁に窒化珪素膜 113 を残すようにする。これにより、微細な径を有するコンタクトホール 118、119 がゲート電極 109（ワード線 WL）に対して自己整合（セルフアライン）で形成される。

次に、図 30 に示すように、上記コンタクトホール 118、119 を通じてメモリセルアレイの p 型ウエル 103（n<sup>-</sup> 型半導体領域 111）に n 型不純物（リンまたはヒ素）をイオン打ち込みすることによって、n<sup>+</sup> 型半導体領域 117（ソース、ドレイン）を形成する。ここまでの工程で、メモリセルアレイに n チ

ャネル型で構成されるメモリセル選択用MISFETQsが形成される。

次に、図31に示すように、コンタクトホール118、119の内部にプラグ120を形成する。プラグ120を形成するには、まずフッ酸を含んだ洗浄液を使ってコンタクトホール118、119の内部をウェット洗浄した後、コンタクトホール118、119の内部を含む酸化珪素膜116の上部にリン(P)などのn型不純物をドーブした低抵抗多結晶シリコン膜をCVD法で堆積し、続いてこの多結晶シリコン膜をエッチバック（またはCMP法で研磨）してコンタクトホール118、119の内部のみに残すことによって形成する。

次に、図32に示すように、酸化珪素膜116の上部にCVD法で膜厚20nm程度の酸化珪素膜121を堆積した後、フォトレジスト膜（図示せず）をマスクにしたドライエッチングで周辺回路領域の酸化珪素膜121およびその下層の酸化珪素膜116をドライエッチングすることによって、nチャネル型MISFETQnのソース、ドレイン（n<sup>+</sup>型半導体領域114）の上部にコンタクトホール122を形成し、pチャネル型MISFETQpのソース、ドレイン（p<sup>+</sup>型半導体領域115）の上部にコンタクトホール123を形成する。また、このとき同時に、周辺回路領域のpチャネル型MISFETQpのゲート電極109（およびnチャネル型MISFETQpの図示しない領域のゲート電極109）の上部にコンタクトホール124を形成し、メモリセルアレイのコンタクトホール118の上部にスルーホール125を形成する。

次に、図33に示すように、nチャネル型MISFETQnのソース、ドレイン（n<sup>+</sup>型半導体領域114）の表面、pチャネル型MISFETQpのソース、ドレイン（p<sup>+</sup>型半導体領域115）の表面およびコンタクトホール118の内部のプラグ120の表面にそれぞれシリサイド膜126を形成した後、コンタクトホール122、123、124の内部およびスルーホール125の内部にプラグ127を形成する。

上記シリサイド膜126は、例えばコンタクトホール122、123、124の内部およびスルーホール125の内部を含む酸化珪素膜121の上部にスパッタリング法で膜厚30nm程度のTi膜と膜厚20nm程度のTiN膜とを堆積した後、基板101を約650℃で熱処理することによって形成する。また、プラグ

1 2 7 は、例えばコンタクトホール 1 2 2、1 2 3、1 2 4 の内部およびスルーホール 1 2 5 の内部を含む上記 T i N 膜の上部に C V D 法で膜厚 5 0 nm 程度の T i N 膜および膜厚 3 0 0 程度の W 膜を堆積した後、酸化珪素膜 1 2 1 の上部の W 膜、T i N 膜および T i 膜を CMP 法で研磨し、これらの膜をコンタクトホール 5 1 2 2、1 2 3、1 2 4 の内部およびスルーホール 1 2 5 の内部のみに残すことによって形成する。

ソース、ドレイン ( $n^+$  型半導体領域 1 1 4、 $p^+$  型半導体領域 1 1 5) とその上部に形成されたプラグ 1 2 7 との界面に T i シリサイドからなる上記シリサイド膜 1 2 6 を形成することにより、ソース、ドレイン ( $n^+$  型半導体領域 1 1 4、 $p^+$  型半導体領域 1 1 5) とプラグ 1 2 7 とのコンタクト抵抗を低減することができるので、周辺回路を構成する M I S F E T ( $n$  チャネル型 M I S F E T Q  $n$ 、 $p$  チャネル型 M I S F E T Q  $p$ ) の動作速度が向上する。 10

次に、図 3 4 に示すように、メモリセルアレイの酸化珪素膜 1 2 1 の上部にビット線 B L を形成し、周辺回路領域の酸化珪素膜 1 2 1 の上部に第 1 層目の配線 1 3 0 ~ 1 3 3 を形成する。ビット線 B L および第 1 層目の配線 1 3 0 ~ 1 3 3 は、例えば酸化珪素膜 1 2 1 の上部にスパッタリング法で膜厚 1 0 0 nm 程度の W 膜を堆積した後、フォトリソグラフ膜をマスクにしてこの W 膜をドライエッチングすることによって形成する。このとき、ビット線 B L および配線 1 3 0 ~ 1 3 3 の下層の酸化珪素膜 1 1 6 が平坦化されているので、ビット線 B L および配線 1 3 0 ~ 1 3 3 を高い寸法精度でパターンニングすることができる。 15 20

次に、図 3 5 に示すように、ビット線 B L および第 1 層目の配線 1 3 0 ~ 1 3 3 の上部に膜厚 3 0 0 nm 程度の酸化珪素膜 1 3 4 を形成する。この酸化珪素膜 1 3 4 は、前記酸化珪素膜 1 1 6 と同様の方法で形成する。

次に、図 3 6 に示すように、酸化珪素膜 1 3 4 の上部に C V D 法で膜厚 2 0 0 nm 程度の多結晶シリコン膜 1 3 5 を堆積した後、フォトリソグラフ膜をマスクにしてメモリセルアレイの多結晶シリコン膜 1 3 5 をドライエッチングすることによって、コンタクトホール 1 1 9 の上方の多結晶シリコン膜 1 3 5 に溝 1 3 6 を形成する。 25

次に、図 3 7 に示すように、上記溝 1 3 6 の側壁にサイドウォールスペーサ 1



37を形成した後、このサイドウォールスペーサ137と多結晶シリコン膜135とをマスクにして酸化珪素膜134およびその下層の酸化珪素膜121をドライエッチングすることによって、コンタクトホール119の上部にスルーホール138を形成する。溝136の側壁のサイドウォールスペーサ137は、溝136の内部を含む多結晶シリコン膜135の上部にCVD法で多結晶シリコン膜を堆積した後、この多結晶シリコン膜を異方的にエッチングして溝136の側壁に残すことによって形成する。

側壁にサイドウォールスペーサ137が形成された上記溝136の底部にスルーホール138を形成することにより、スルーホール138の径は、その下部のコンタクトホール119の径よりも小さくなる。これにより、メモリセルサイズを縮小しても、ビット線BLとスルーホール138との合わせマージンが確保されるので、次の工程でスルーホール138の内部に埋め込まれるプラグ139とビット線BLとの短絡を確実に防止することができる。

次に、上記多結晶シリコン膜135とサイドウォールスペーサ137とをドライエッチングで除去した後、図38に示すように、スルーホール138の内部にプラグ139を形成する。プラグ139は、スルーホール138の内部を含む酸化珪素膜134の上部にn型不純物（リン）をドーブした低抵抗多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール138の内部のみに残すことによって形成する。

次に、図39に示すように、酸化珪素膜134の上部にCVD法で膜厚100nm程度の窒化珪素膜140を堆積し、続いて窒化珪素膜140の上部にCVD法で酸化珪素膜141を堆積した後、フォトリジスト膜（図示せず）をマスクにしてメモリアレイの酸化珪素膜141をドライエッチングし、続いてこの酸化珪素膜141の下層の窒化珪素膜140をドライエッチングすることにより、スルーホール138の上部に溝142を形成する。情報蓄積用容量素子の下部電極は、この溝142の内壁に沿って形成されるので、下部電極の表面積を大きくして蓄積電荷量を増やすためには、溝142を形成する酸化珪素膜141を厚い膜厚（例えば1.3 $\mu$ m程度）で堆積する必要がある。

なお、窒化珪素膜140には、400℃以上の基板温度で、モノシランおよび

窒素を原料ガスとしたプラズマCVD法により形成した窒化珪素膜を用いても良い。

次に、図40に示すように、溝142の内部を含む酸化珪素膜141の上部に、n型不純物（リン）をドーピングした膜厚50nm程度のアモルファスシリコン膜143aをCVD法で堆積した後、酸化珪素膜141の上部のアモルファスシリコン膜143aをエッチバックすることにより、溝142の内壁に沿ってアモルファスシリコン膜143aを残す。その後、溝142の内部に残った上記アモルファスシリコン膜143aの表面をフッ酸系の洗浄液でウェット洗浄した後、減圧雰囲気中でアモルファスシリコン膜143aの表面にモノシラン（ $\text{SiH}_4$ ）を供給し、続いて基板101を熱処理してアモルファスシリコン膜143aを多結晶化すると共に、その表面にシリコン粒を成長させる。これにより、表面が粗面化された多結晶シリコン膜143が溝142の内壁に沿って形成される。この多結晶シリコン膜143は、情報蓄積用容量素子の下部電極として使用される。

次に、図41に示すように、溝142の内部を含む酸化珪素膜141の上部にCVD法で膜厚15nm程度の酸化タンタル（ $\text{Ta}_2\text{O}_5$ ）膜144を堆積した後、酸素雰囲気中、約800℃、3分の熱処理を施すことによって、酸化タンタル膜144を結晶化すると共に、膜に酸素を供給することによって欠陥を修復する。この酸化タンタル膜144は、情報蓄積用容量素子の容量絶縁膜として使用される。さらに、溝142の内部を含む酸化タンタル膜144の上部にCVD法とスパッタリング法とを併用して膜厚150nm程度のTiN膜145を堆積した後、フォトリソグラフ膜（図示せず）をマスクにしてTiN膜145と酸化タンタル膜144とをドライエッチングすることにより、TiN膜145からなる上部電極、酸化タンタル膜144からなる容量絶縁膜および多結晶シリコン膜143からなる下部電極で構成される情報蓄積用容量素子Cを形成する。ここまでの工程により、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子CとからなるDRAMのメモリセルが完成する。

情報蓄積用容量素子Cの容量絶縁膜は、上記酸化タンタル膜144だけでなく、PZT、PLT、PLZT、 $\text{PbTiO}_3$ 、 $\text{SrTiO}_3$ 、 $\text{BaTiO}_3$ 、BST、SBTまたは $\text{Ta}_2\text{O}_5$ など、ペロブスカイト型または複合ペロブスカイ

ト型の結晶構造を有する高誘電体または強誘電体を主成分とする膜によって構成してもよい。

次に、図42に示すように、情報蓄積用容量素子Cの上部に、以下のような方法で第2配線層の配線を形成する。

- 5      まず、情報蓄積用容量素子Cの上部にCVD法で膜厚100nm程度の酸化珪素膜150を堆積する。次に、フォトリソ膜（図示せず）をマスクにして周辺回路領域の第1層配線130、133の上部の酸化珪素膜150、141、窒化珪素膜140および酸化珪素膜134をドライエッチングすることによってスルーホール151、152を形成した後、スルーホール151、152の内部にプラグ153を形成する。プラグ153は、例えば酸化珪素膜150の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール151、152の内部に残すことにより形成する。さらに、酸化珪素膜150の上部に、例えばスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl（アルミニウム）合金膜および膜厚50nm程度のTi膜を堆積した後、フォトリソ膜（図示せず）をマスクにしてこれらの膜をドライエッチングすることにより配線154～156を形成する。
- 10
- 15

- その後、配線154～156を覆う層間絶縁膜、第3層目の配線、その上部に酸化珪素膜と窒化珪素膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。
- 20

なお、本実施の形態のパッシベーション膜は、実施の形態1のパッシベーション膜と同様である。すなわち、350℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマCVD法により窒化珪素膜を形成し、これをパッシベーション膜に用いる。

- 25      また、本実施の形態のインナーリードは、実施の形態1と同様に構成できる。よって、その図示と説明は省略する。

本実施の形態によれば、キャップ絶縁膜となる窒化珪素膜110b、窒化珪素膜113（サイドウォールスペーサ113a）に400℃以上の基板温度で、モノシランおよび窒素（すなわちアンモニアを用いず）を原料ガスとするプラズマ

CVD法で形成した窒化珪素膜を適用するため、これら窒化珪素膜の剥離を抑制し、また、窒化珪素膜からの水素の離脱を抑制できる。この結果、DRAMの性能と信頼性を高く維持できる。

5      なお、本実施の形態では、DRAMのキャパシタとして多結晶シリコン膜を下部電極とする例を示したが、白金（Pt）、ルテニウム（Ru）、イリジウム（Ir）あるいはこれらの酸化物を用いても良い。また、キャパシタ下部電極の構造を溝内に形成される筒型構造で例示したが、単純スタック型の構造を用いても良い。

10      また、実施の形態2のDRAMにおいて、周辺回路領域のMISFETを、実施の形態1で説明したようなデュアルゲート構造としても良い。すなわち、pチャネル型MISFETのゲート電極をp型多結晶シリコン膜で、nチャネル型MISFETのゲート電極をn型多結晶シリコン膜で構成しても良い。

さらに、実施の形態1のMISFETと実施の形態2のDRAMとを1つの基板上に形成し、システムLISに本発明を適用しても良い。

15      以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20      たとえば、実施の形態1、2では窒化珪素膜のシリコン系原料ガスとしてモノシランを例示したが、ジクロルシラン（ $\text{SiCl}_2\text{H}_2$ ）、あるいはジシラン（ $\text{Si}_2\text{H}_6$ ）等を用いても良い。

#### 産業上の利用可能性

25      以上のように、本発明の半導体装置およびその製造方法は、半導体装置の性能向上および信頼性の向上に適用して有効なものであり、産業上の利用可能性を有するものである。

## 請 求 の 範 囲

1. (a) 半導体基板表面に選択的に第1絶縁膜を形成する工程と、  
(b) 前記半導体基板表面に第2絶縁膜を介して、第1導体片を形成する工程と  
5、  
(c) 前記半導体基板の表面であって、前記第1絶縁膜と前記第1導体片が存在しない領域に半導体層を形成する工程と、  
(d) 前記第1導体片、前記半導体層及び前記第1絶縁膜を覆うように第3絶縁膜を形成する工程と、  
10 (e) 前記第3絶縁膜上に、第4絶縁膜を形成する工程と、  
(f) 前記第4及び第3絶縁膜に第1開孔を形成する工程と、  
(g) 前記第1開孔内に第2導体片を形成する工程と、  
(h) 前記第4絶縁膜上に第5絶縁膜を形成する工程とを有し、  
前記第3絶縁膜及び第5絶縁膜はプラズマCVD法により形成された窒化珪素膜  
15 であり、前記第3絶縁膜の形成温度は、前記第5絶縁膜の形成温度よりも高いことを特徴とする半導体装置の製造方法。
2. 請求項1記載の半導体装置の製造方法であって、前記第1及び第4絶縁膜は酸化珪素膜であり、前記第1開孔の形成工程は、前記第3絶縁膜に対する前記第4絶縁膜のエッチング量が大である条件で、前記第4絶縁膜をエッチングする工程と、前記第1絶縁膜に対する前記第3絶縁膜のエッチング量が大である条件で、前記第3絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。  
20
3. 請求項1記載の半導体装置の製造方法であって、前記第5絶縁膜は反応ガスにアンモニアガスを含み、前記第3絶縁膜は反応ガスにアンモニアを含まないことを特徴とする半導体装置の製造方法。  
25
4. 請求項1記載の半導体装置の製造方法であって、前記工程(c)と(d)の間に、前記半導体層の表面にシリサイド層を形成する工程を有することを特徴とする半導体装置の製造方法。
5. 請求項4記載の半導体装置の製造方法であって、前記第2導体片は第1導体

層と第2導体層を含み、前記第1導体層は、前記第2導体層よりも薄く、前記第2導体層の下に位置していることを特徴とする半導体装置の製造方法。

6. 請求項1記載の半導体装置の製造方法であって、前記工程(g)と(h)の間に、

5 (i) 第3導体片を形成する工程と、

(j) 前記第5絶縁膜は前記第3導体片の一部を露出する第2開孔を有し、前記第2開孔において前記第3導体片に外部接続用導体片を接続する工程とを有することを特徴とする半導体装置の製造方法。

10 7. 請求項1記載の半導体装置の製造方法であって、前記第1導体片はボロンを含むシリコン層からなることを特徴とする半導体装置の製造方法。

8. 請求項1記載の半導体装置の製造方法であって、前記導体片はシリコンからなる第1導体層、第2導体層、高融点金属からなる第3導体層の3層からなることを特徴とする半導体装置の製造方法。

9. (a) 半導体基板表面に選択的に第1絶縁膜を形成する工程と、

15 (b) 前記半導体基板表面に第2絶縁膜を介して、第1導体片を形成する工程と、

(c) 前記半導体基板の表面であって、前記第1絶縁膜と前記第1導体片が存在しない領域に半導体層を形成する工程と、

20 (d) 前記第1導体片、前記半導体層及び前記第1絶縁膜を覆うように第3絶縁膜を形成する工程と、

(e) 前記第3絶縁膜上に、第4絶縁膜を形成する工程と、

(f) 前記第4及び第3絶縁膜に第1開孔を形成する工程と、

(g) 前記第1開孔内に第2導体片を形成する工程と、

(h) 前記第4絶縁膜上に第5絶縁膜を形成する工程とを有し、

25 前記第3絶縁膜及び第5絶縁膜はプラズマCVD法により形成された窒化珪素膜であり、前記第3絶縁膜の水素含有量は、前記第5絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置の製造方法。

10. (a) 半導体基板上に第1絶縁膜を形成する工程と、

(b) 前記第1絶縁膜上に第2絶縁膜を形成する工程と、

- (c) 前記第2及び第1絶縁膜に開孔を形成する工程と、
- (d) 前記開孔内に導体層を形成する工程と、
- (e) 前記導体層上に第3絶縁膜を形成する工程とを有し、

前記第1絶縁膜及び第3絶縁膜はプラズマCVD法により形成された窒化珪素膜

- 5    であり、前記第1絶縁膜の形成温度は、前記第3絶縁膜の形成温度よりも高いことを特徴とする半導体装置の製造方法。

- 1 1. (a) 半導体基板上に第1絶縁膜を形成する工程と、
- (b) 前記第1絶縁膜上に第2絶縁膜を形成する工程と、
  - (c) 前記第2及び第1絶縁膜に開孔を形成する工程と、
  - 10    (d) 前記開孔内に導体層を形成する工程と、
  - (e) 前記導体層上に第3絶縁膜を形成する工程とを有し、

前記第1絶縁膜及び第3絶縁膜はプラズマCVD法により形成された窒化珪素膜であり、前記第1絶縁膜の水素含有量は、前記第3絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置の製造方法。

- 15    1 2. (a) 半導体基板表面に選択的に第1絶縁膜を形成する工程と、
- (b) 前記半導体基板の表面であって、前記第1絶縁膜が存在しない領域に半導体層を形成する工程と、
  - (c) 前記半導体層の表面に高融点金属のシリサイド層を形成する工程と、
  - (d) 前記高融点金属のシリサイド層及び前記第1絶縁膜を覆うように第2絶縁
  - 20    膜を形成する工程と、
  - (e) 前記第2絶縁膜上に、第3絶縁膜を形成する工程と、
  - (f) 前記第3及び第2絶縁膜に開孔を形成する工程と、
  - (g) 前記開孔内に導体片を形成する工程とを有し、

前記第2絶縁膜は400度以上のプラズマCVD法により形成された窒化珪素膜

- 25    であることを特徴とする半導体装置の製造方法。

- 1 3. 請求項12記載の半導体装置の製造方法であって、前記第2絶縁膜は、モノシランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたことを特徴とする半導体装置の製造方法。

- 1 4. 請求項12記載の半導体装置の製造方法であって、前記第3絶縁膜は酸化

珪素膜であり、前記開孔の形成工程は、前記第 2 絶縁膜に対するエッチング量が大である条件で、前記第 3 絶縁膜をエッチングする工程と、前記第 1 絶縁膜に対するエッチング量が大である条件で、前記第 2 絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

5 15. 請求項 12 記載の半導体装置の製造方法であって、前記シリサイド層の形成工程は、

(h) 前記半導体層及び第 1 絶縁膜上に高融点金属膜を堆積する工程と、

(i) 前記半導体基板に熱処理を施し、前記半導体層の表面にシリサイド層を形成する工程と、

10 (j) 前記第 1 絶縁膜上の高融点金属膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

16. 請求項 12 記載の半導体装置の製造方法であって、前記導体片は第 1 導体層と第 2 導体層を含み、前記第 1 導体層は前記第 2 導体層よりも薄く、前記第 2 導体層の下に位置していることを特徴とする半導体装置の製造方法。

15 17. 請求項 16 記載の半導体装置の製造方法であって、前記第 1 導体層は窒化チタン層であり、前記第 2 導体層はタングステン層であることを特徴とする半導体装置の製造方法。

18. (a) 半導体基板表面に選択的に第 1 絶縁膜を形成する工程と、

(b) 前記半導体基板表面に第 2 絶縁膜を介して、第 1 導体片を形成する工程と

20 、

(c) 前記半導体基板の表面であって、前記第 1 絶縁膜と前記第 1 導体片が存在しない領域に半導体層を形成する工程と、

(d) 前記第 1 導体片、前記半導体層及び前記第 1 絶縁膜を覆うように第 3 絶縁膜を形成する工程と、

25 (e) 前記第 3 絶縁膜上に、第 4 絶縁膜を形成する工程とを有し、

前記第 1 導体片はボロンを含んだシリコン膜であり、

前記第 3 絶縁膜は 400 度以上のプラズマ CVD 法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

19. 請求項 18 記載の半導体装置の製造方法であって、前記第 3 絶縁膜はモノ



シランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたことを特徴とする半導体装置の製造方法。

20. (a) 半導体基板上に第1絶縁膜を形成する工程と、

(b) 前記第1絶縁膜上に第2絶縁膜を形成する工程と、

5 (c) 前記第2及び第1絶縁膜に開孔を形成する工程と、

(d) 前記開孔内に導体層を形成する工程とを有し、

前記第1絶縁膜は400度以上のプラズマCVD法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

21. 請求項20記載の半導体装置の製造方法であって、前記第2絶縁膜は酸化珪素膜であることを特徴とする半導体装置の製造方法。

22. 請求項20記載の半導体装置の製造方法であって、前記導体層の形成工程は、下層の第1導体層と上層の第2導体層の形成工程からなり、前記第2導体層は銅からなり、前記第1導体層は銅の拡散防止機能を有することを特徴とする半導体装置の製造方法。

15 23. (a) 半導体基板上に第1絶縁膜を介して、シリコンからなる第1導体層、第2導体層、高融点金属からなる第3導体層、第2絶縁膜を堆積する工程と、

(b) 前記第2絶縁膜、第3、第2、及び第1導体層を所定のパターンに加工する工程と、

(c) 前記第2絶縁膜上に第3絶縁膜を形成する工程とを有し、

20 前記第2絶縁膜は400度以上のプラズマCVD法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

24. 請求項23記載の半導体装置の製造方法であって、前記第3絶縁膜は400度以上のプラズマCVD法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

25 25. (a) 半導体基板と、

(b) 前記半導体基板の表面に選択的に形成された第1絶縁膜と、

(c) 前記半導体基板上に第2絶縁膜を介して形成された第1導体片と、

(d) 前記半導体基板の表面であって、前記第1絶縁膜と前記第1導体片との間に位置する半導体層と、

- (e) 前記第 1 導体片、第 1 絶縁膜及び半導体層上に形成された第 3 絶縁膜と、
  - (f) 前記第 3 絶縁膜上に形成された第 4 絶縁膜と、
  - (g) 前記第 3、第 4 絶縁膜に形成された開孔内に形成された第 2 導体片と、
  - (h) 前記第 2 導体片上に形成された第 5 絶縁膜とからなり、
- 5 前記第 3 及び第 5 絶縁膜は、プラズマ CVD 法により形成された窒化珪素膜であり、前記第 3 絶縁膜の水素含有量は、前記第 5 絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。
26. 請求項 25 記載の半導体装置であって、前記第 2 導体片は第 1 導体層と第 2 導体層を含み、前記第 1 導体層は、前記第 2 導体層よりも薄く、前記第 2 導体層の下に位置していることを特徴とする半導体装置。
- 10 27. 請求項 26 記載の半導体装置であって、前記第 1 導体層は窒化チタン層であり、前記第 2 導体層はタングステン層であることを特徴とする半導体装置。
28. 請求項 25 記載の半導体装置であって、前記半導体層の表面には高融点金属のシリサイド層が形成されていることを特徴とする半導体装置。
- 15 29. 請求項 25 記載の半導体装置であって、前記第 1 導体片はボロンを含むシリコン層からなることを特徴とする半導体装置。
30. (a) 半導体基板と、
- (b) 半導体基板上に第 1 絶縁膜を介して形成された第 1 導体片と、
- (c) 前記第 1 導体片上に形成された第 2 絶縁膜と、
- 20 (d) 前記第 2 絶縁膜上に形成された第 3 絶縁膜とからなり、
- 前記第 2 及び第 3 絶縁膜は、プラズマ CVD 法により形成された窒化珪素膜であり、前記第 2 絶縁膜の水素含有量は、前記第 3 絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。
31. 請求項 30 記載の半導体装置であって、更に、
- 25 (e) 前記第 1 導体片の両端であって、前記半導体基板の表面に位置する第 1 及び第 2 半導体領域とを有し、前記第 1 導体片はトランジスタのゲートとして、前記第 1 及び第 2 半導体領域はトランジスタのソース、ドレインとして機能し、前記ソースからドレインに向かう方向において、前記第 2 絶縁膜は前記第 1 導体片とほぼ等しい幅を有することを特徴とする半導体装置。

3 2. 請求項 3 0 記載の半導体装置であって、更に

- (e) 前記第 2 絶縁膜上に形成された第 2 導体片と、
- (f) 前記第 2 導体片に接続された外部接続用導体片とを有し、

前記第 3 絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前

5 記第 2 導体片と接続されていることを特徴とする半導体装置。

3 3. (a) 半導体基板と、

- (b) 半導体基板上に第 1 絶縁膜を介して形成され、側壁を有する第 1 導体片と

、  
(c) 前記第 1 導体片の側壁上に形成された第 2 絶縁膜と、

10 (d) 前記第 1 導体片上に形成された第 3 絶縁膜とからなり、

前記第 2 及び第 3 絶縁膜は、プラズマ CVD 法により形成された窒化珪素膜であり、前記第 2 絶縁膜の水素含有量は、前記第 3 絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。

3 4. 請求項 3 3 記載の半導体装置であって、更に

- (e) 前記第 2 絶縁膜上に形成された第 2 導体片と、
- (f) 前記第 2 導体片に接続された外部接続用導体片とを有し、

前記第 3 絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第 2 導体片と接続されていることを特徴とする半導体装置。

3 5. (a) 半導体基板上と、

20 (b) 前記半導体基板上の第 1 絶縁膜と、

(c) 前記第 1 絶縁膜上の第 2 絶縁膜と、

(d) 前記第 1、第 2 絶縁膜に形成された第 1 開孔内に形成された第 1 導体片と

、  
(e) 前記第 1 導体片上の第 3 絶縁膜と、

25 (f) 前記第 3 絶縁膜上の第 2 導体片と、

(g) 前記第 2 導体片上の第 4 絶縁膜とを有し、

前記第 1 及び第 4 絶縁膜は、プラズマ CVD 法により形成された窒化珪素膜であり、前記第 1 絶縁膜の水素含有量は、前記第 4 絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。

36. 請求項35記載の半導体装置であって、更に

(h) 前記第2導体片に接続された外部接続用導体片を有し、  
前記第4絶縁膜は第2開孔を有し、前記第2開孔部において、前記外部接続用導体片と前記第2導体片とが接続されていることを特徴とする半導体装置。

5 37. 請求項36記載の半導体装置であって、前記第2絶縁膜は酸化珪素膜であることを特徴とする半導体装置。

38. 請求項12記載の半導体装置の製造方法であって、前記工程(a)と(b)との間にシリコン材料からなる第1導体片を形成する工程を有し、前記(c)工程において前記第1導体片の表面に高融点金属のシリサイド層を形成することを特徴とする半導体装置の製造方法。

10

39. 請求項25記載の半導体装置であって、前記第1導体片はシリコン材料からなり、前記第1導体片の表面には高融点金属のシリサイド層が形成されていることを特徴とする半導体装置。

40. 自己整合加工用の第1窒化珪素膜を形成し、さらにパッシベーション用の第2窒化珪素膜を形成する半導体装置の製造方法であって、

15

前記第1窒化珪素膜は、シランおよび窒素を原料ガスとするプラズマCVD法により形成され、前記第2窒化珪素膜は、シラン、アンモニアおよび窒素を原料ガスとするプラズマCVD法により形成されることを特徴とする半導体装置の製造方法。

20

41. 請求項40記載の半導体装置の製造方法であって、前記第1窒化珪素膜の形成は、前記第2窒化珪素膜の形成よりも高い温度で形成されることを特徴とする半導体装置の製造方法。

42. 請求項40記載の半導体装置の製造方法であって、前記第1窒化珪素膜の形成は、400度以上の温度で行われることを特徴とする半導体装置の製造方法

25

43. 自己整合加工用の第1窒化珪素膜と、パッシベーション用の第2窒化珪素膜とを有する半導体装置であって、

前記第1窒化珪素膜のFT-IR分析によるSi-H/Si-N結合比R1と、前記第2窒化珪素膜のFT-IR分析によるSi-H/Si-N結合比R2と

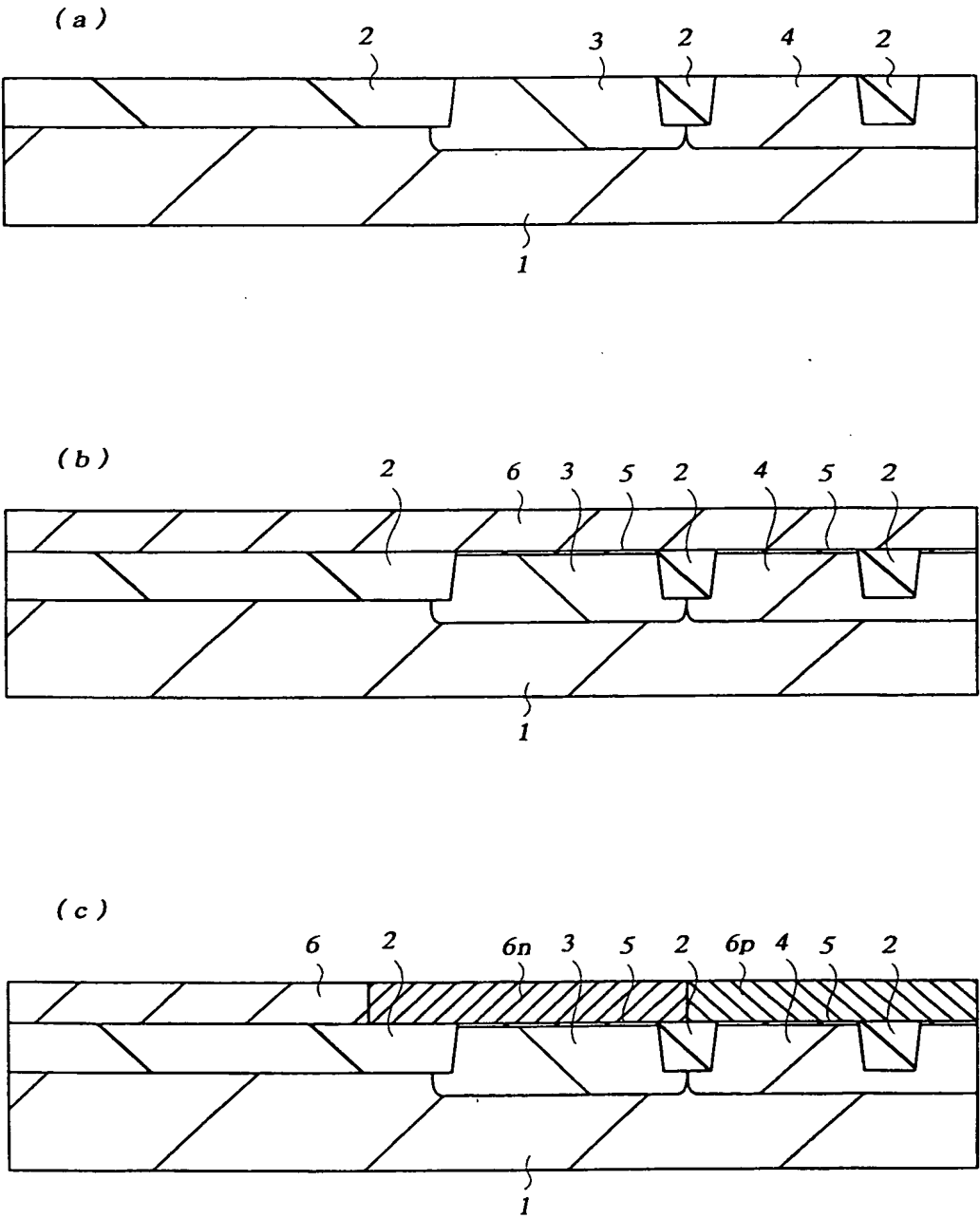
の間には、 $R_1 < R_2$ 、の関係を有することを特徴とする半導体装置。

44. 請求項43記載の半導体装置であって、

前記第1窒化珪素膜のFT-IR分析によるSi-H結合は、 $2 \times 10^{21} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

**THIS PAGE BLANK (USPTO)**

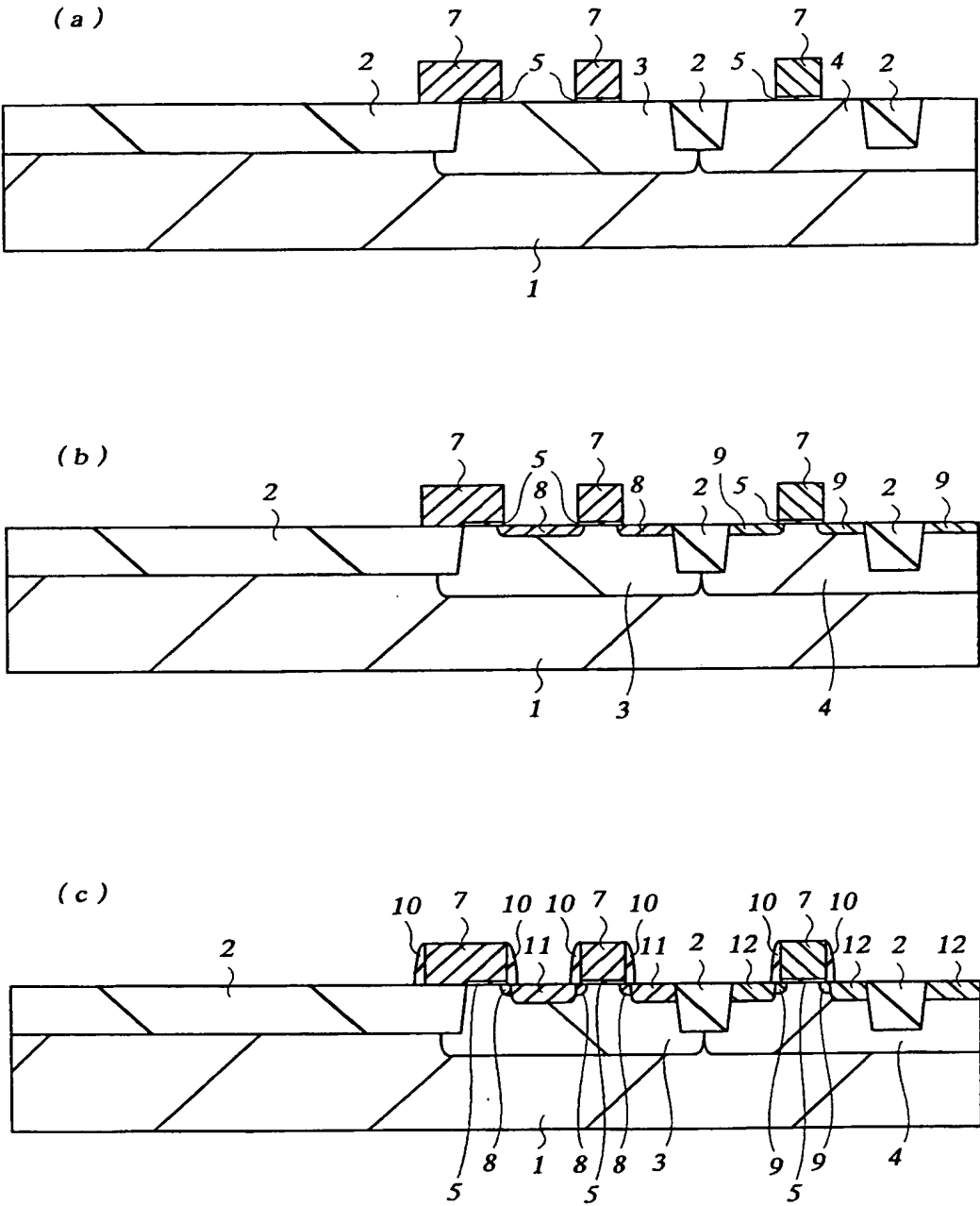
図 1



**THIS PAGE BLANK (USPTO)**



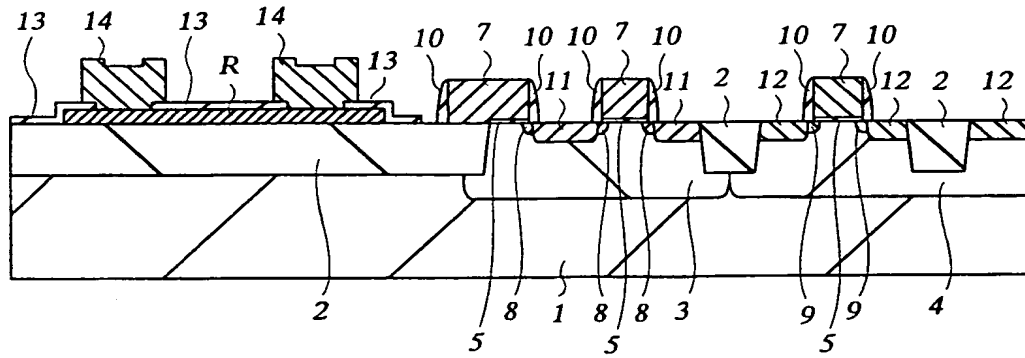
図 2



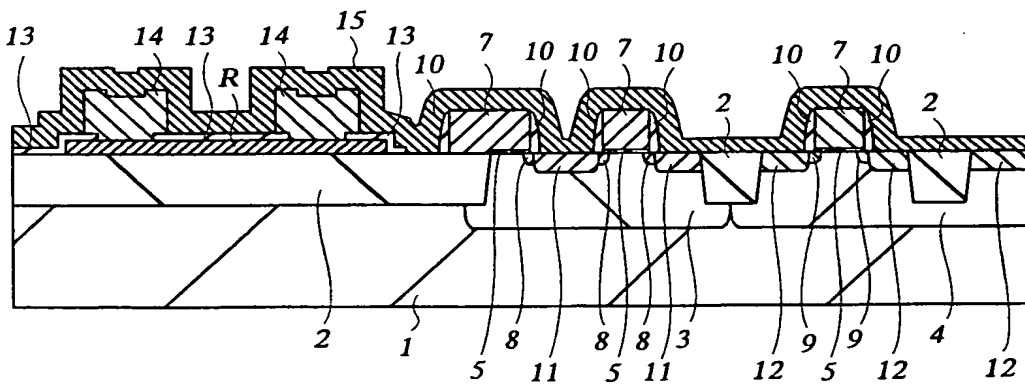
**THIS PAGE BLANK (USPTO)**

図 3

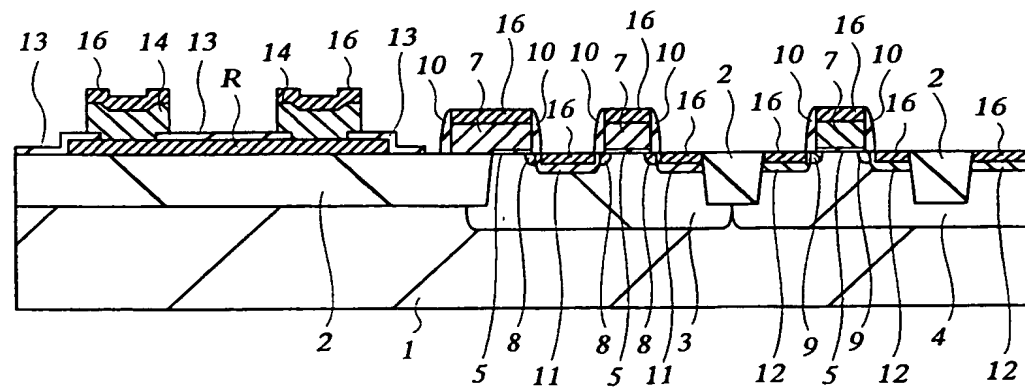
(a)



(b)



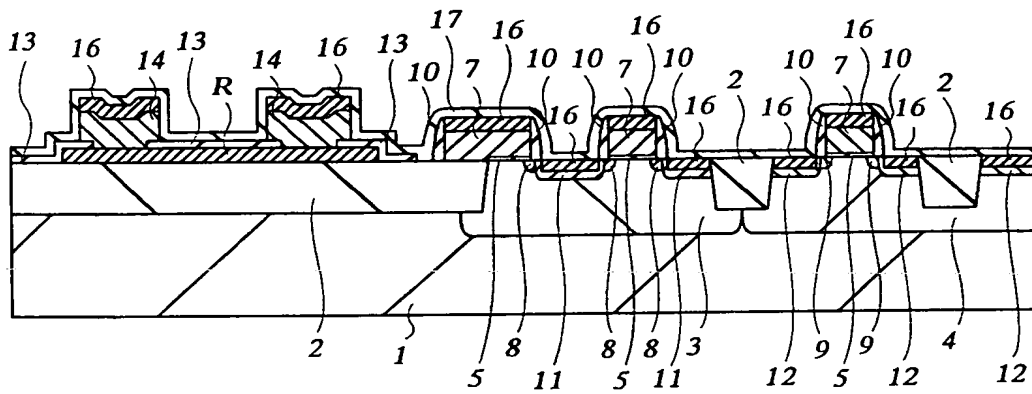
(c)



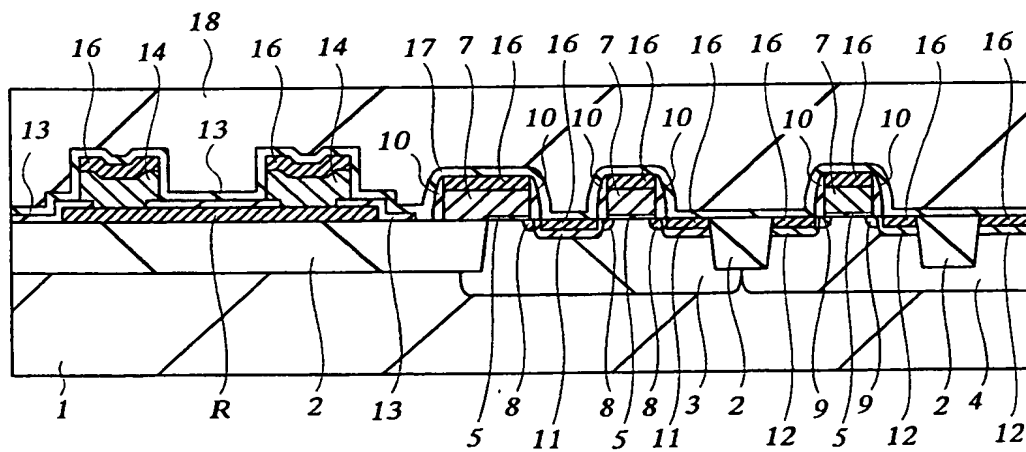
**THIS PAGE BLANK (USPTO)**



(a)



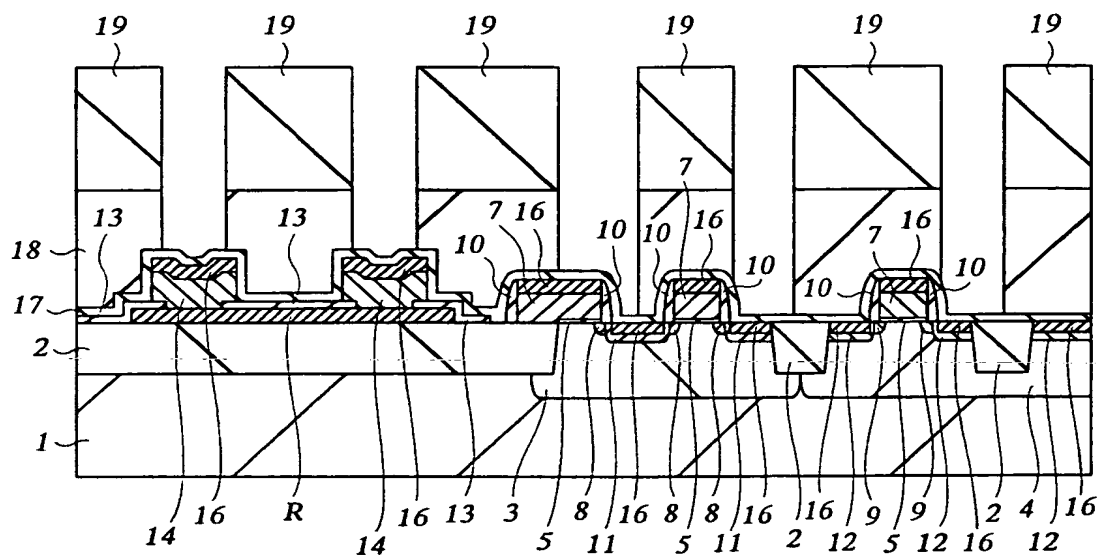
(b)



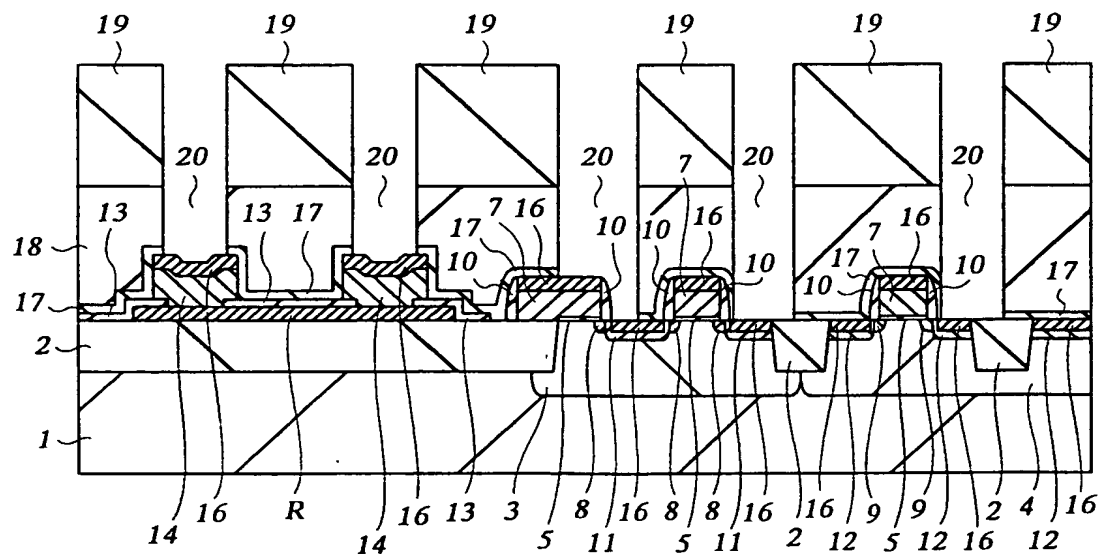
**THIS PAGE BLANK (USPTO)**

図 5

(a)



(b)

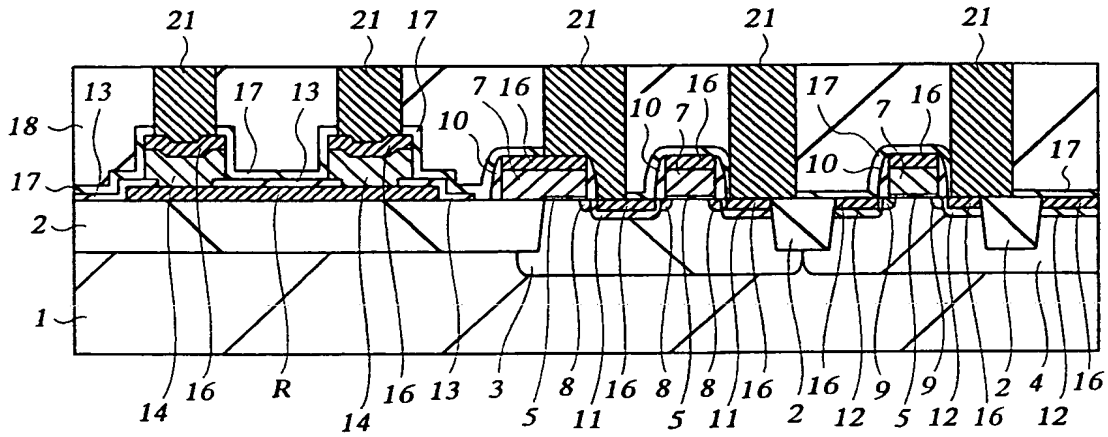


**THIS PAGE BLANK (USPTO)**

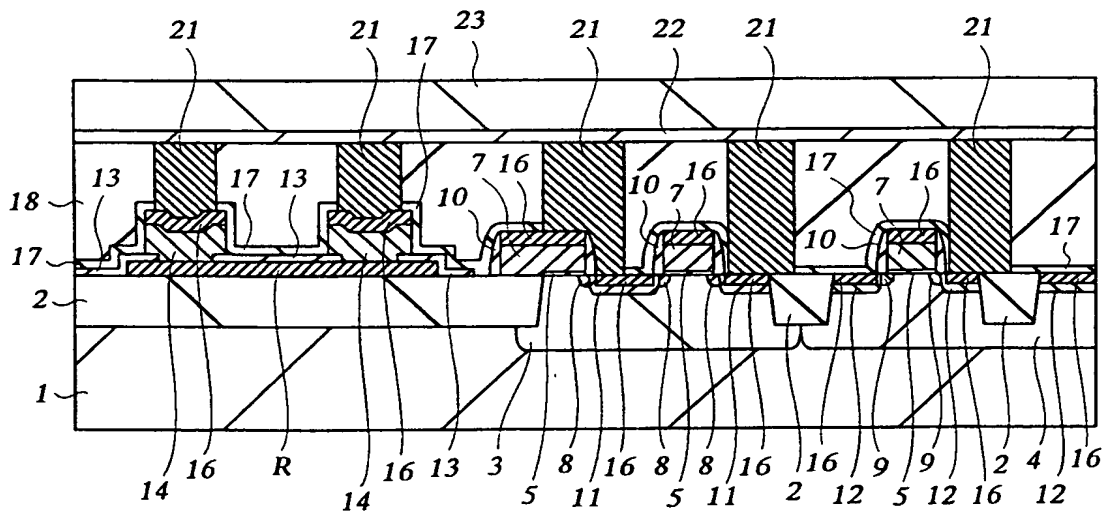


図 6

(a)

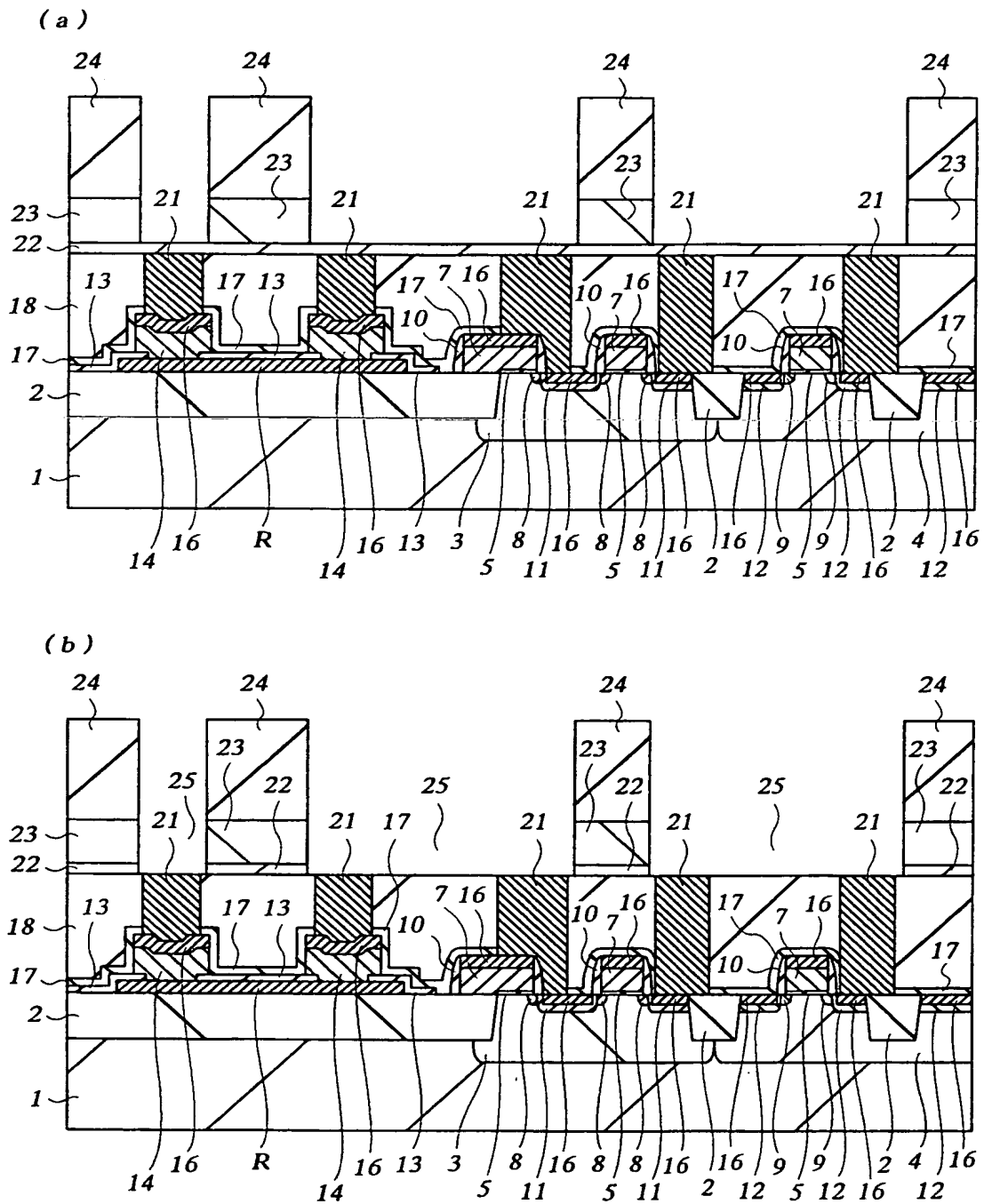


(b)



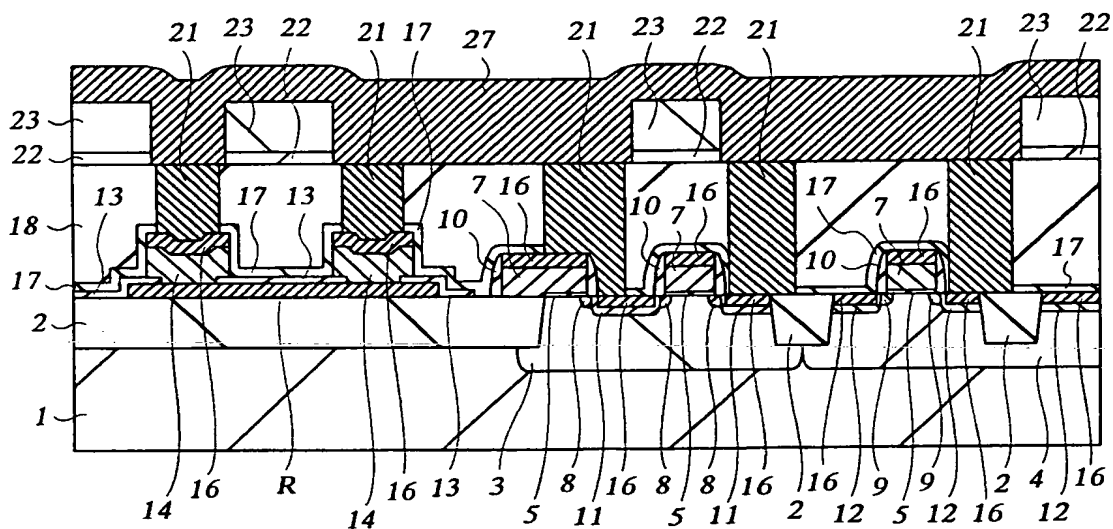
THIS PAGE BLANK (ISPTO)

図 7

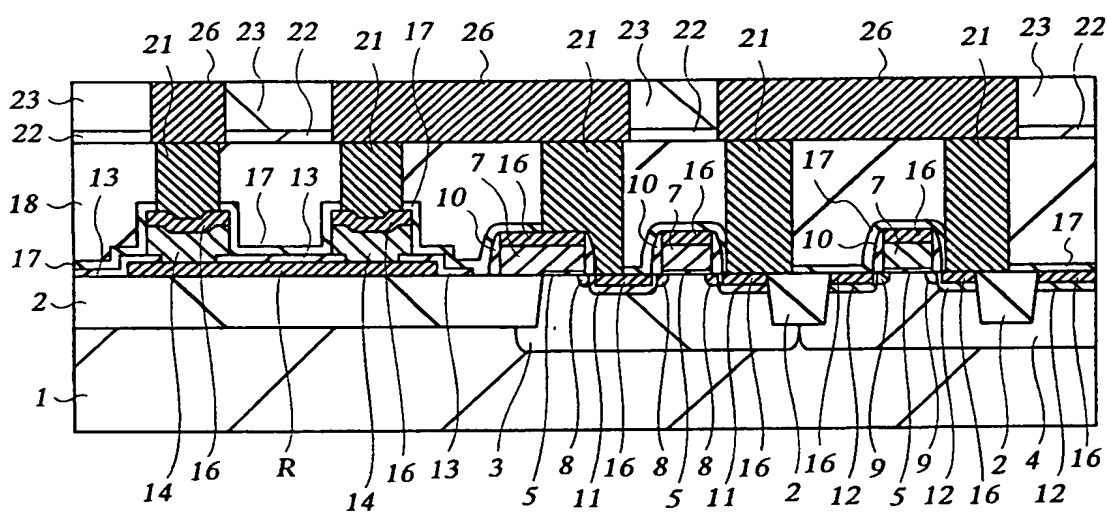


**THIS PAGE BLANK (USPTO)**

(a)



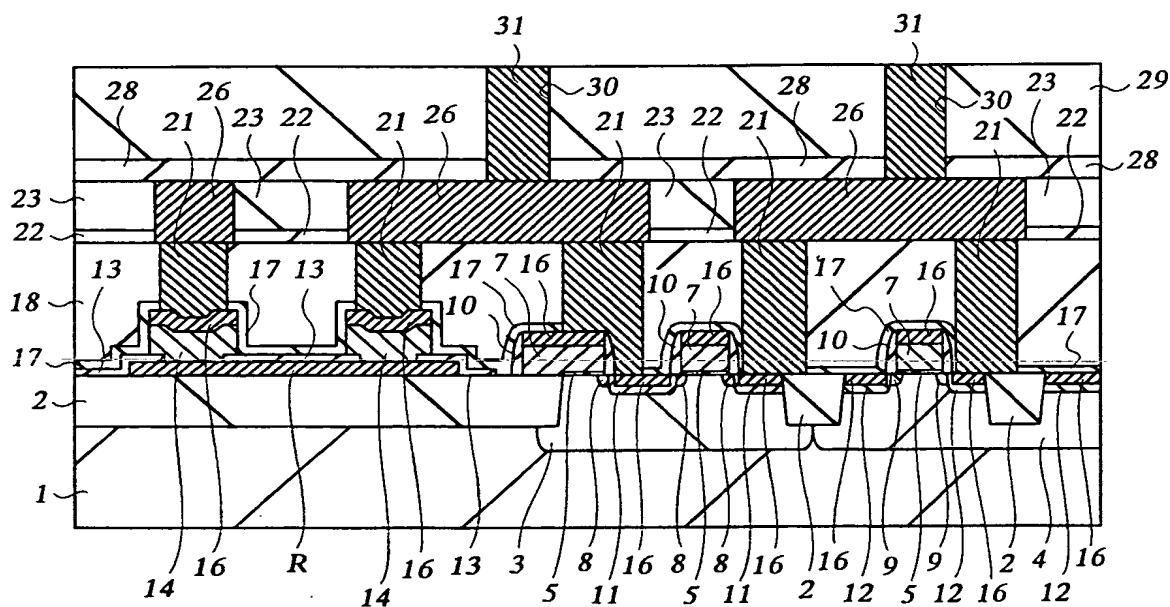
(b)



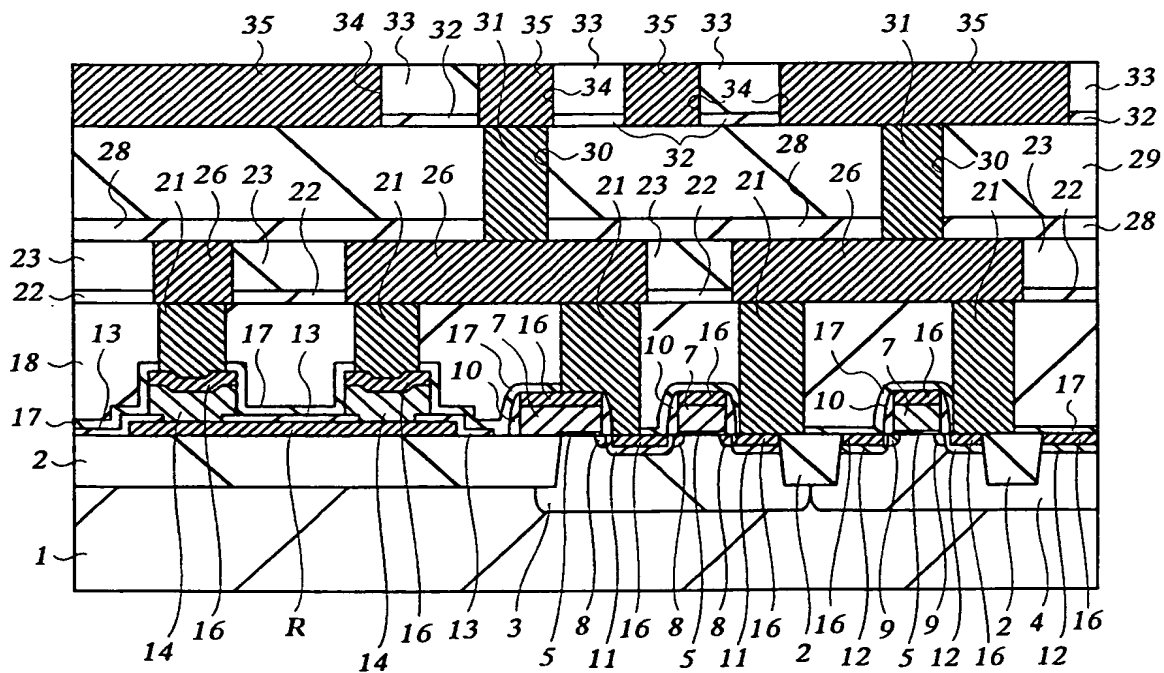
**THIS PAGE BLANK (USPTO)**

図 9

(a)



(b)



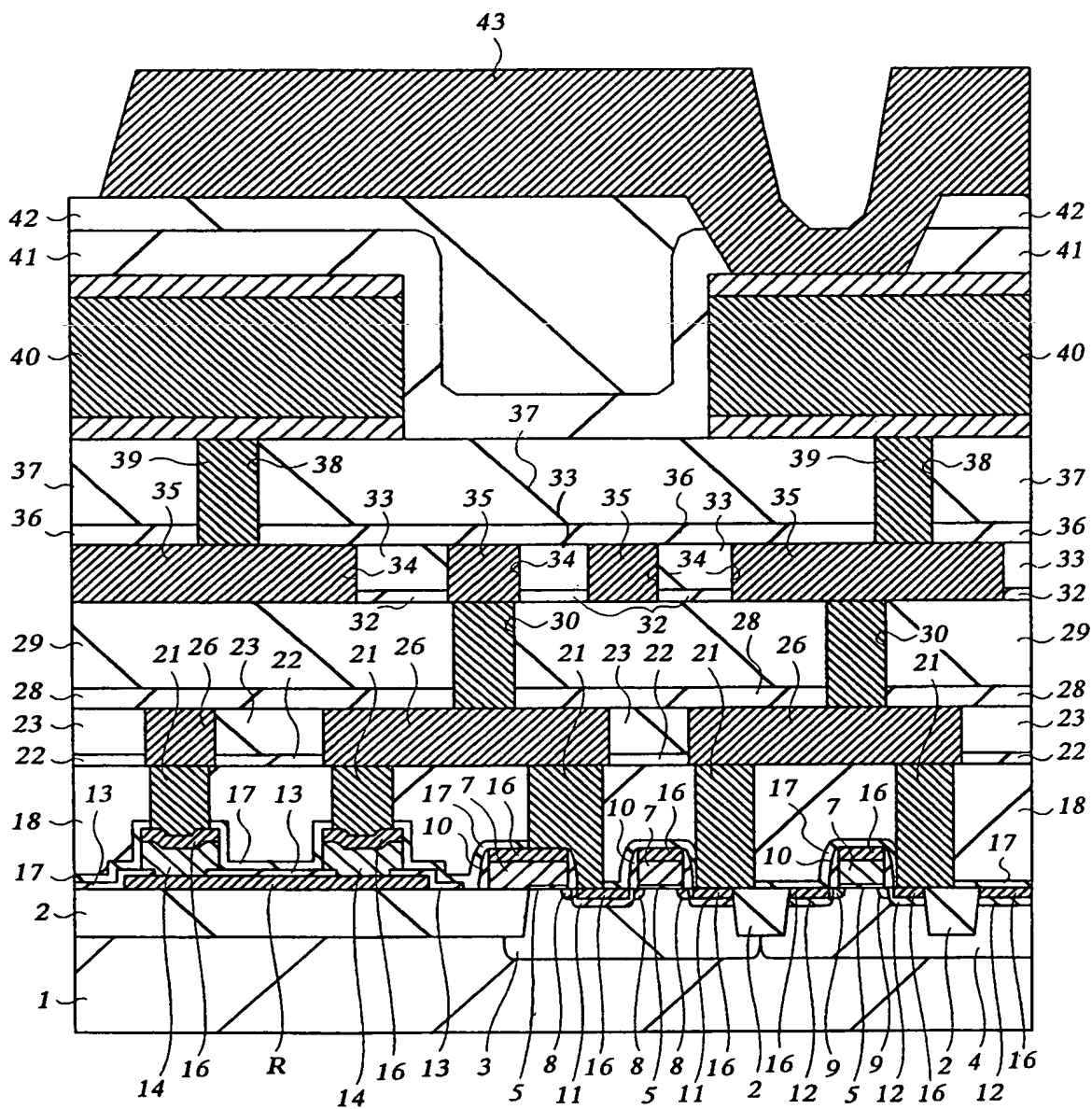
**THIS PAGE BLANK (USPTO)**





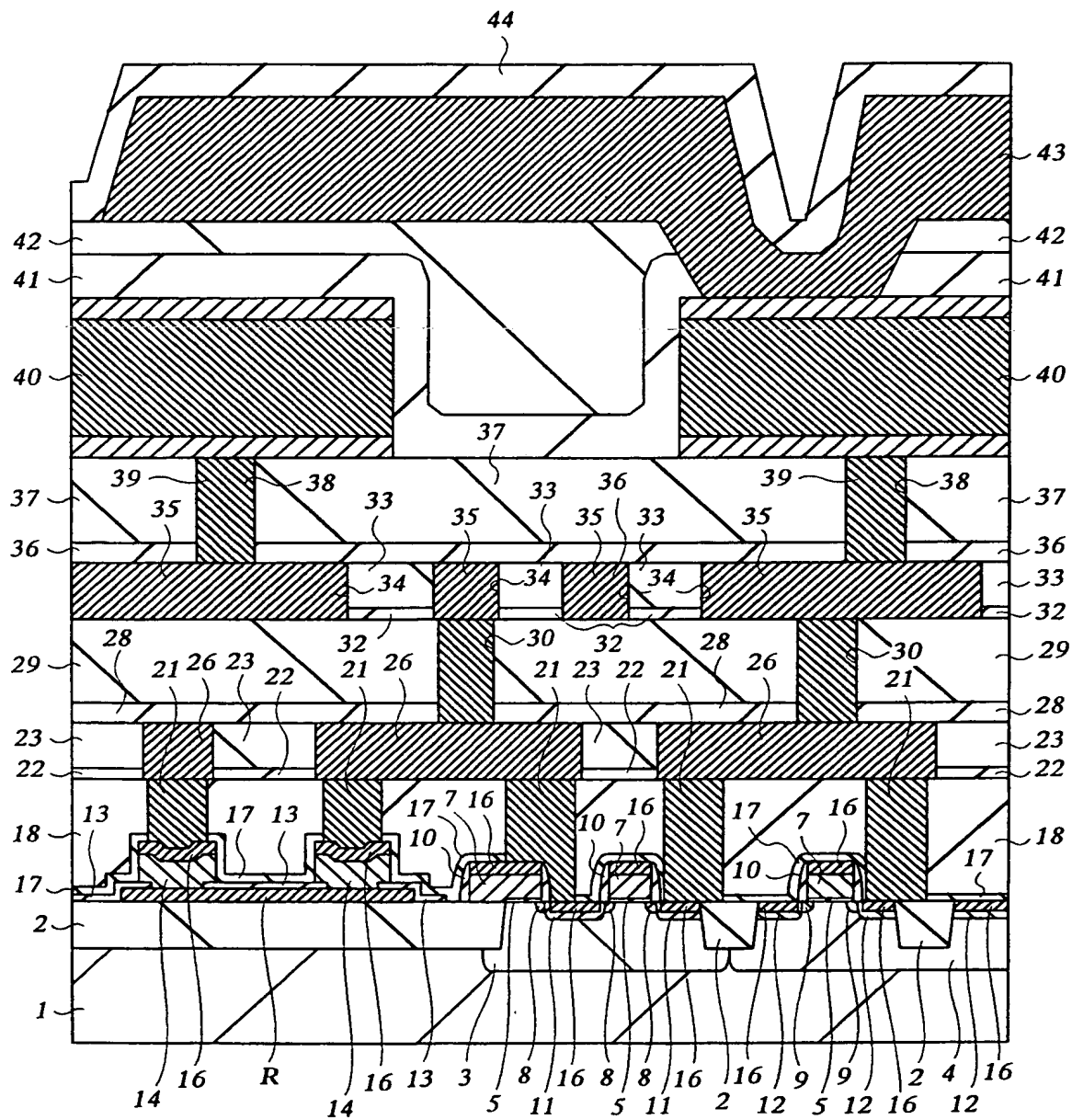
**THIS PAGE BLANK (USPTO)**

図 11



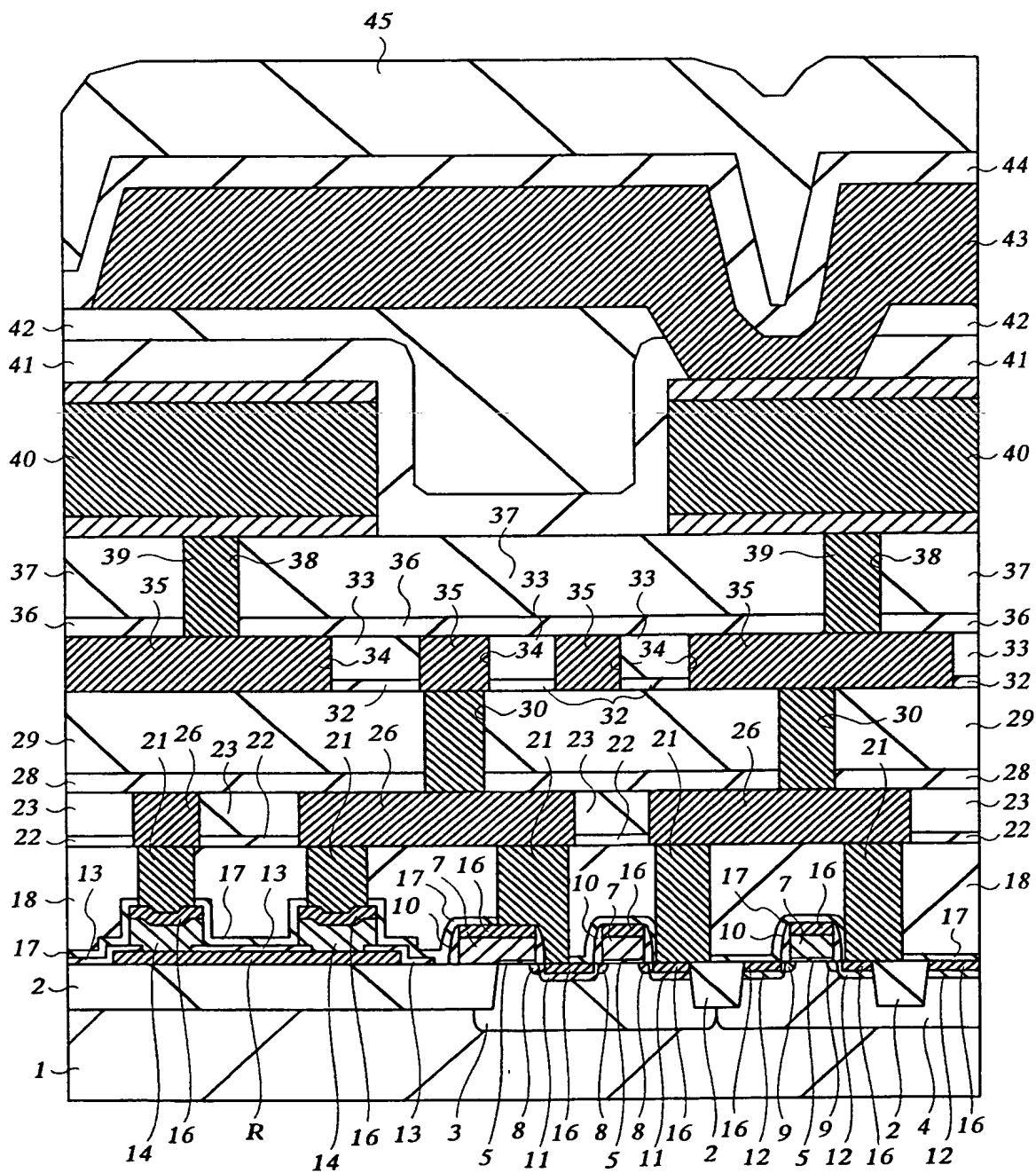
**THIS PAGE BLANK (USPTO)**

図 12



**THIS PAGE BLANK (USPTO)**

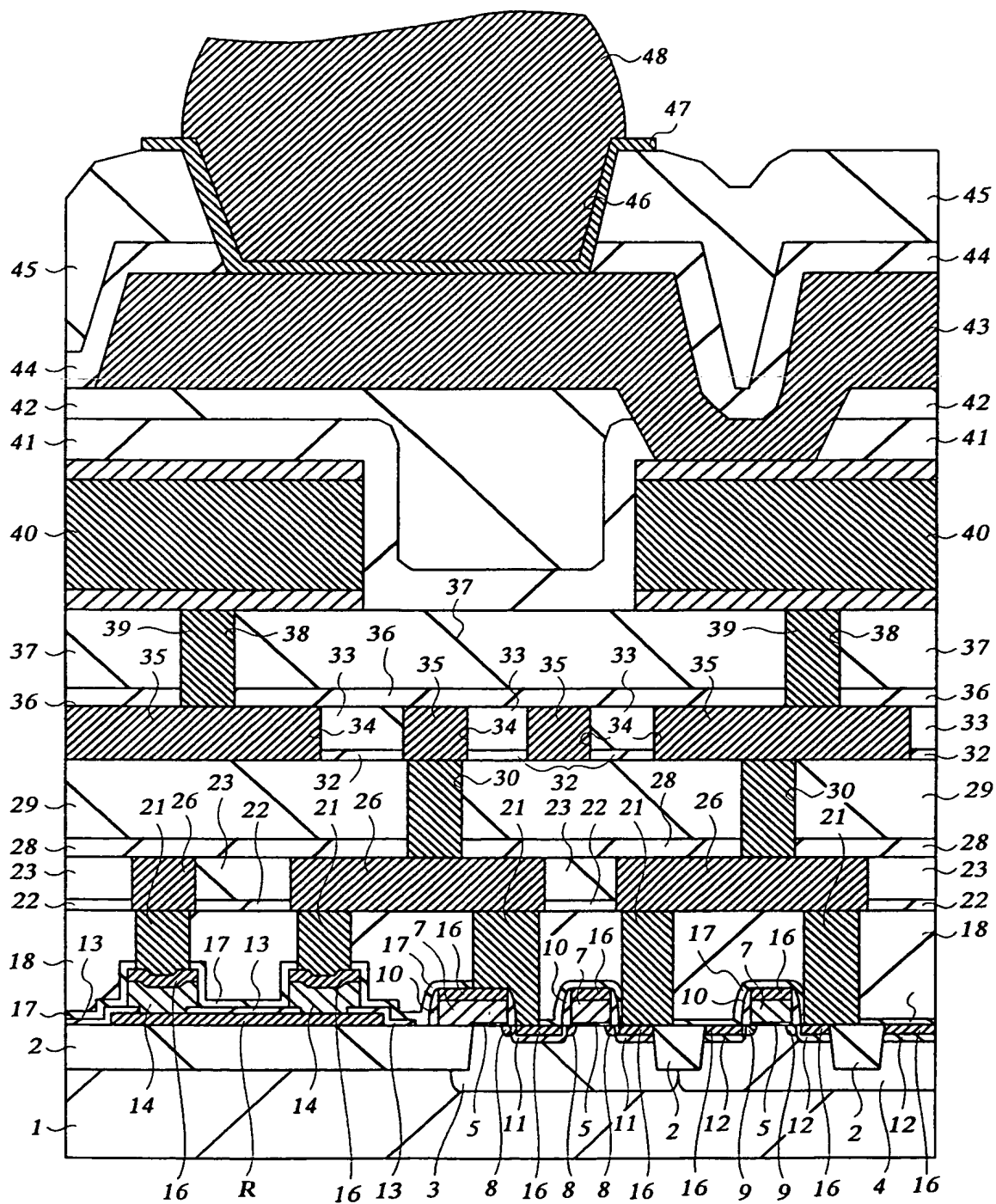
図 13



**THIS PAGE BLANK (USPTO)**



14



**THIS PAGE BLANK (USPTO)**

図 15

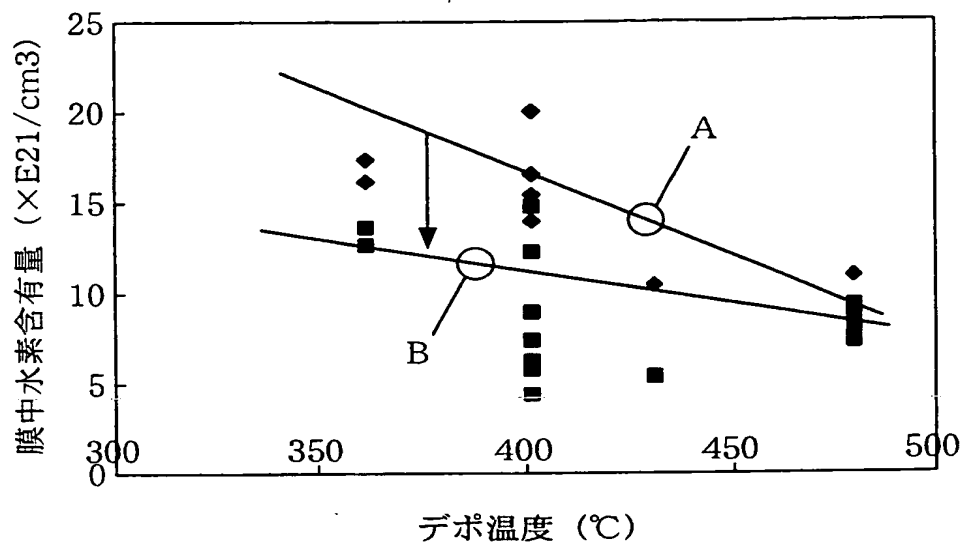
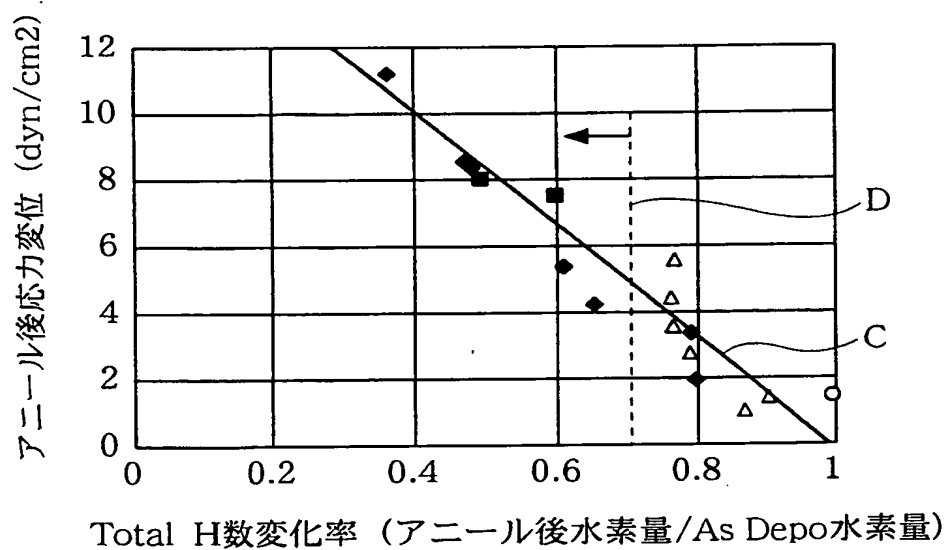
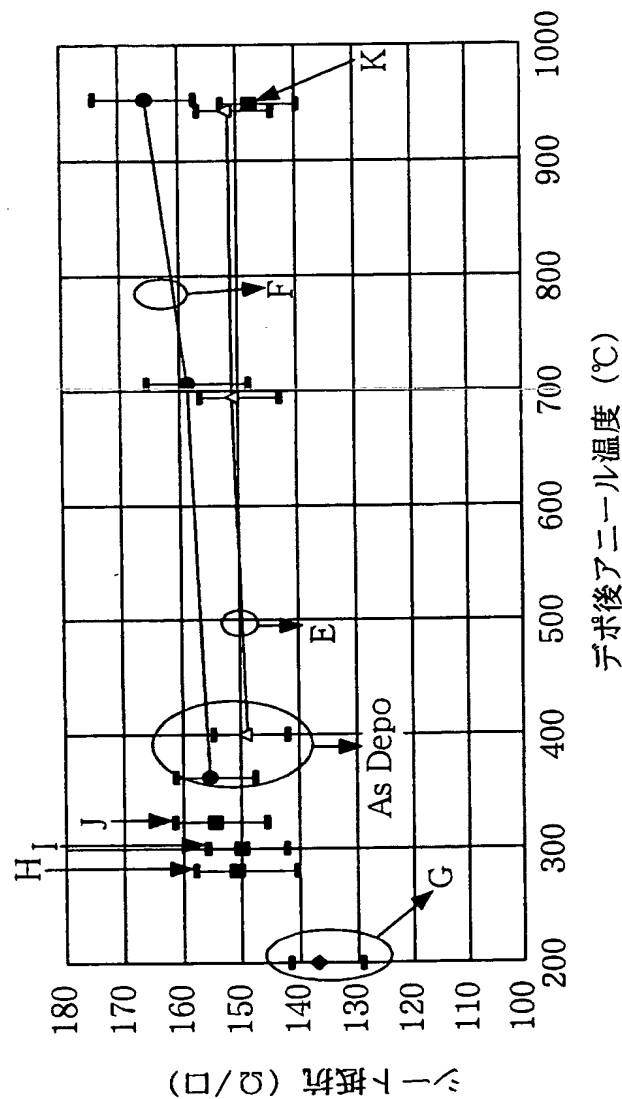


図 16



**THIS PAGE BLANK (USPTO)**

図 17



**THIS PAGE BLANK (USPTO)**

図 18

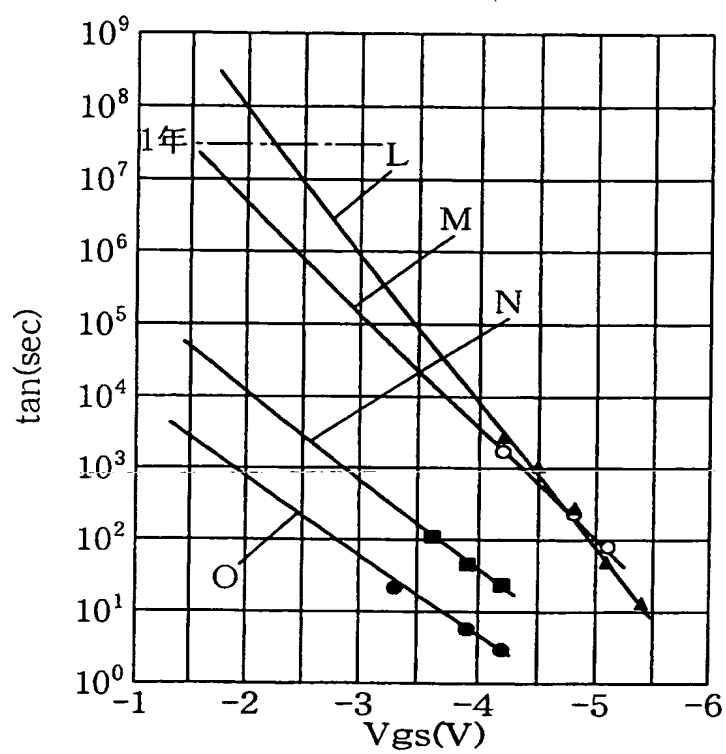
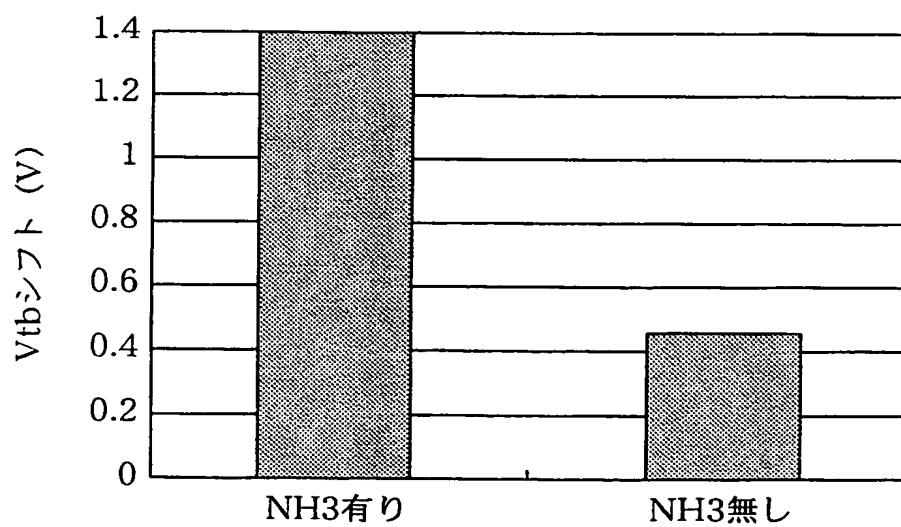


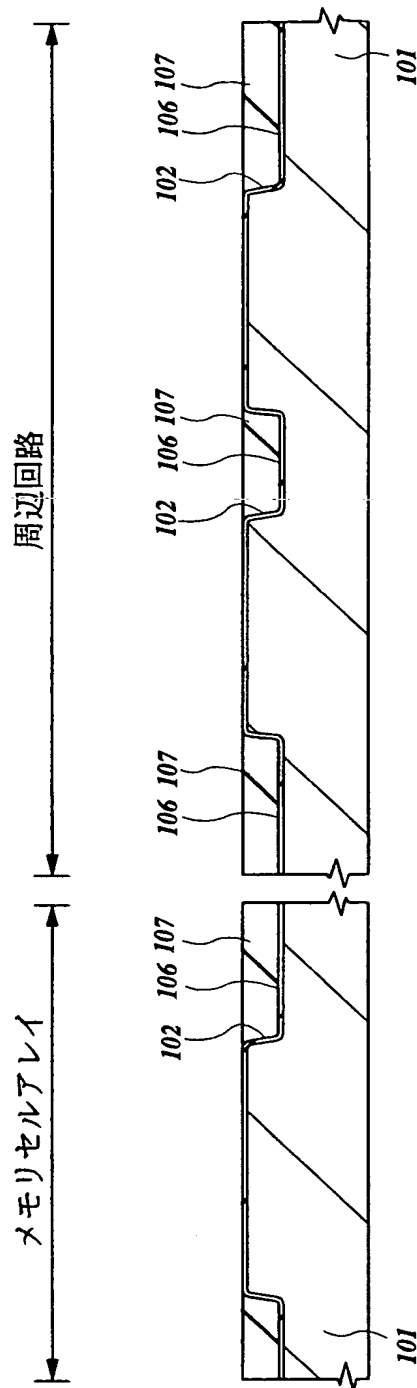
図 19



**THIS PAGE BLANK (USPTO)**

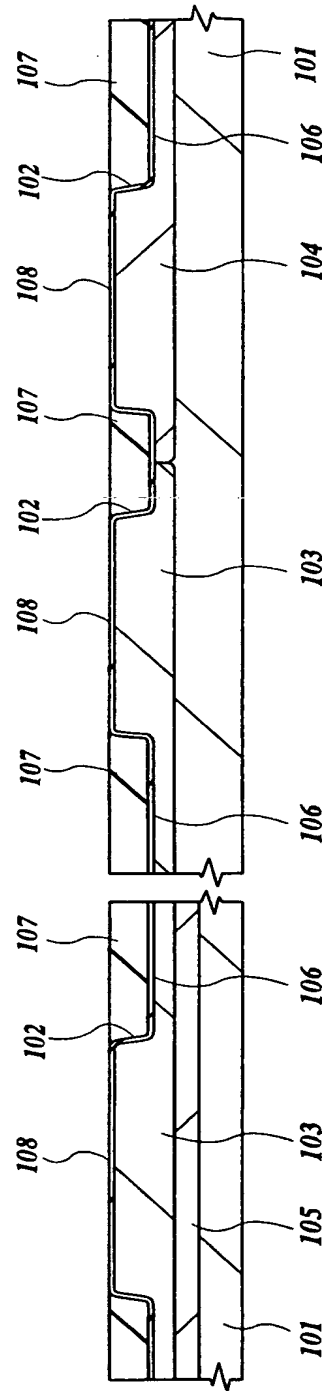


図 20



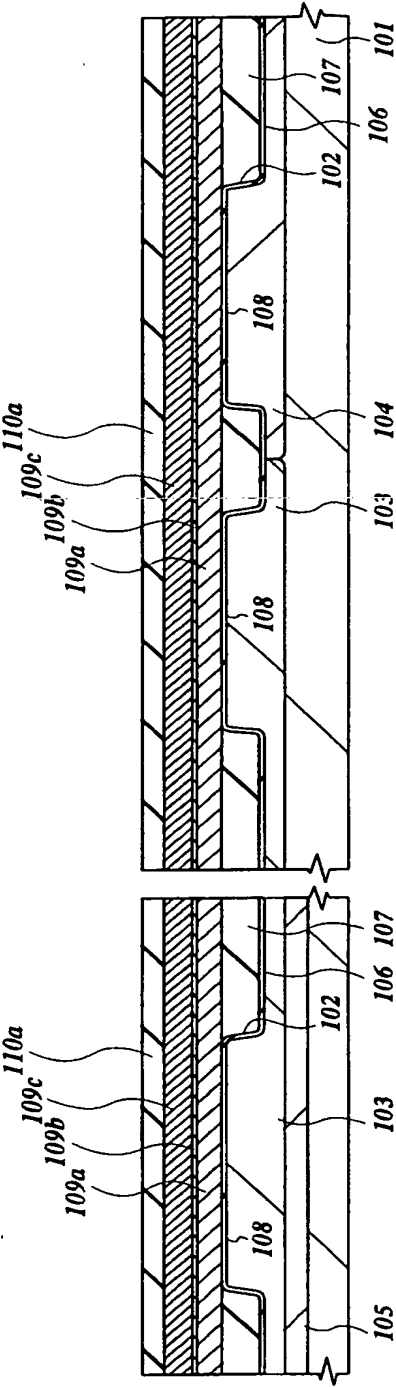
**THIS PAGE BLANK (USPTO)**

図 21

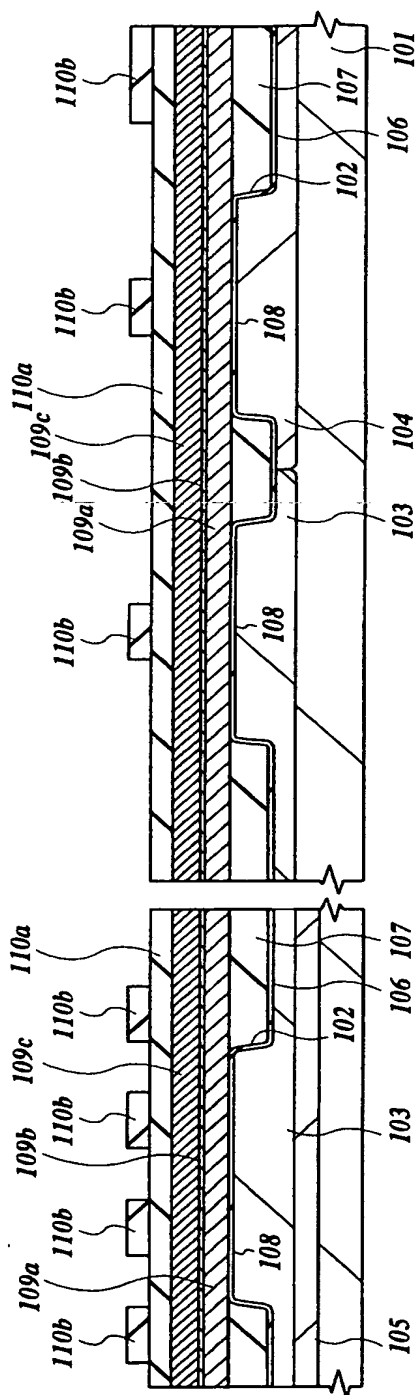
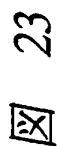


**THIS PAGE BLANK (USPTO)**

図 22



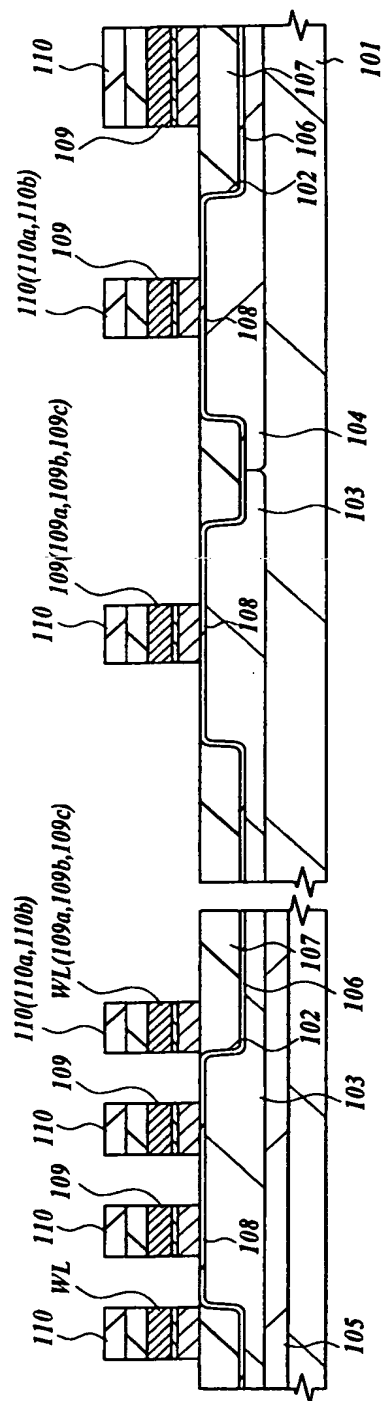
**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**



24

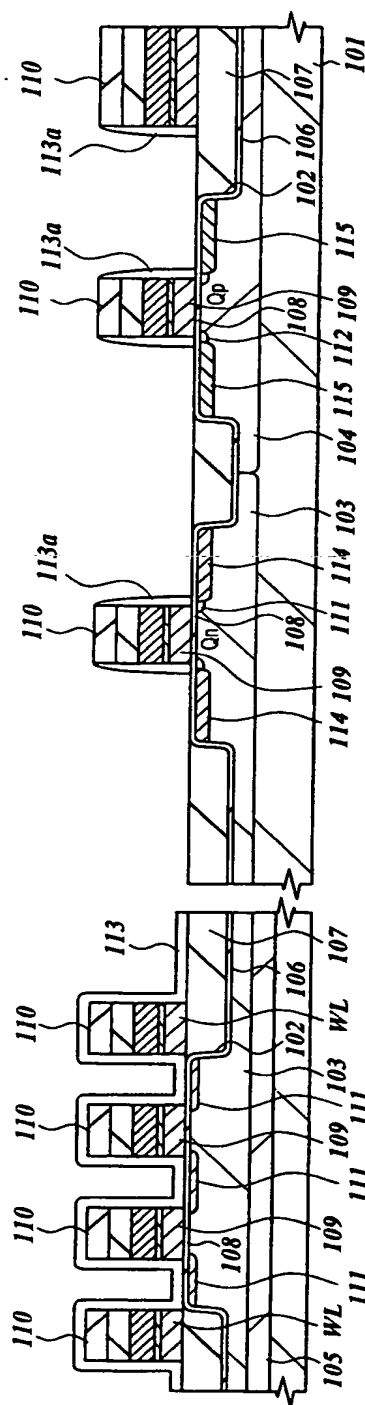


**THIS PAGE BLANK (USPTO)**

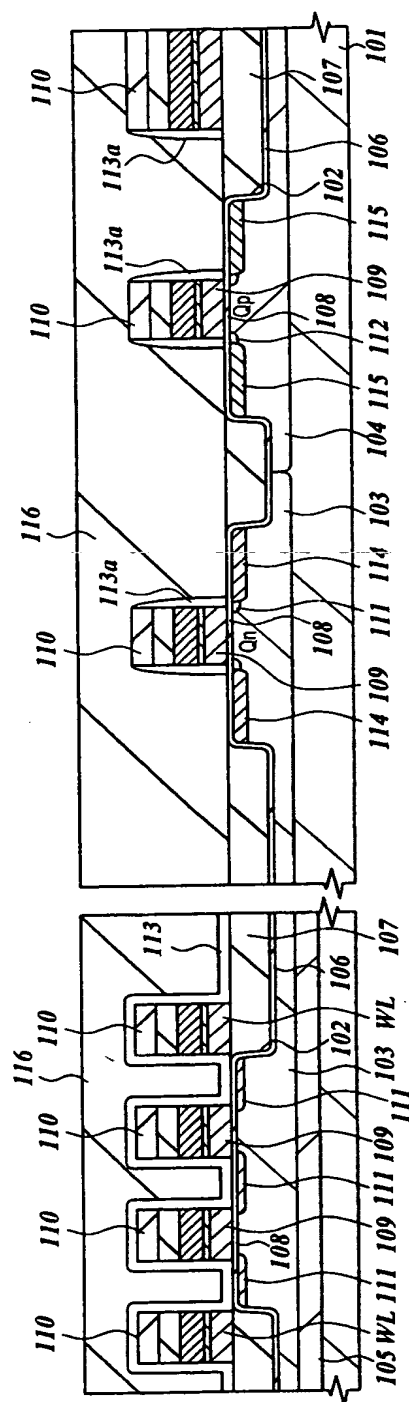


**THIS PAGE BLANK (USPTO)**

26



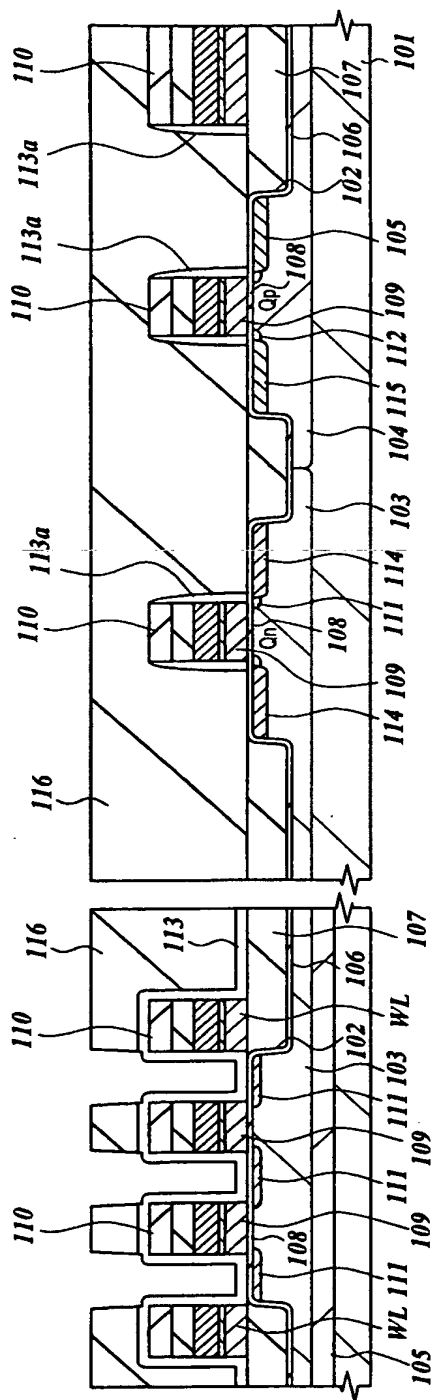
**THIS PAGE BLANK (USPTO)**



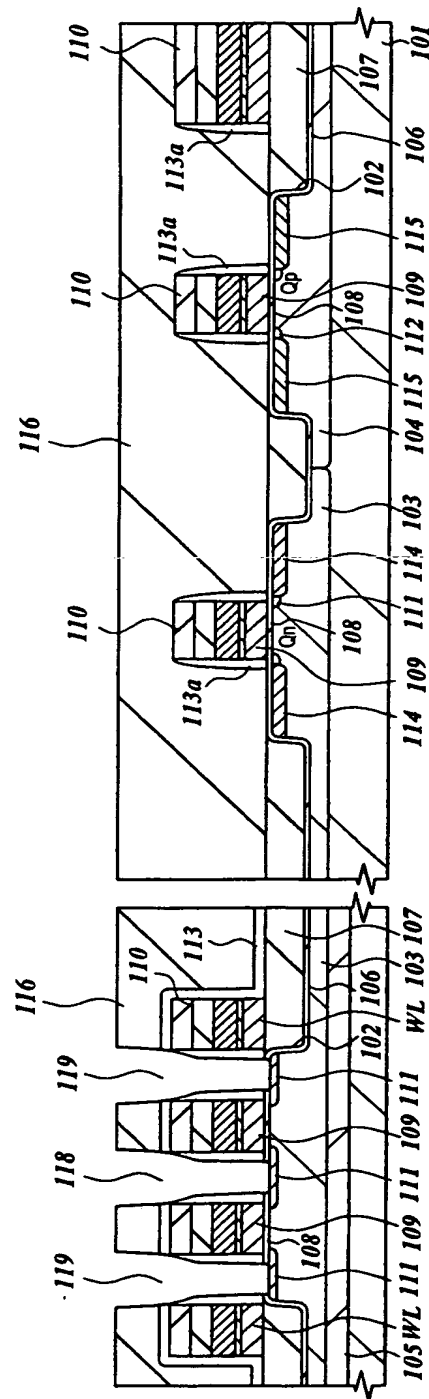
**THIS PAGE BLANK (USPTO)**



28

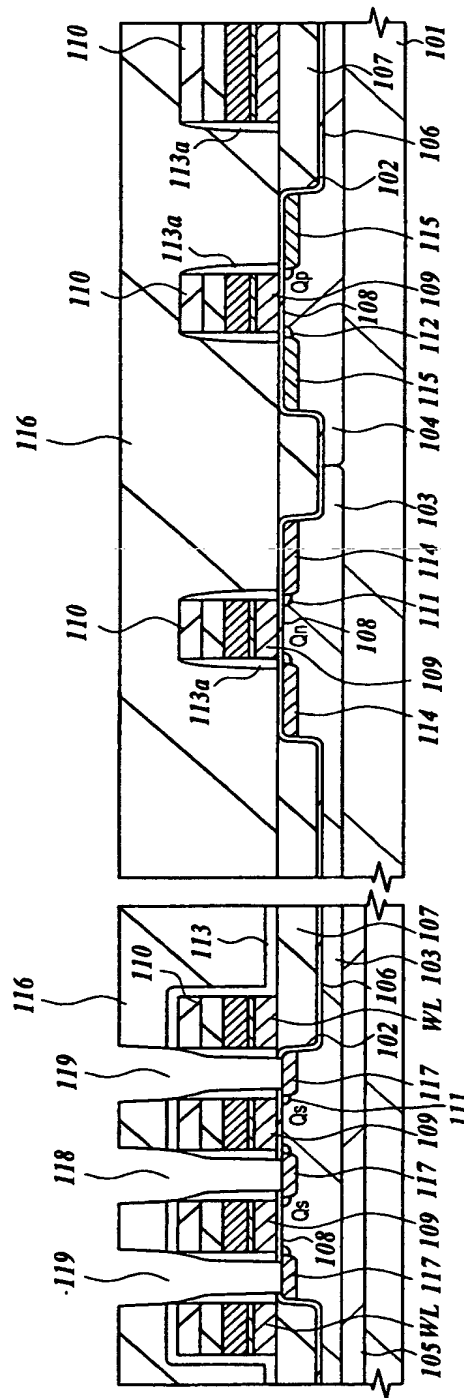


**THIS PAGE BLANK (USPTO)**



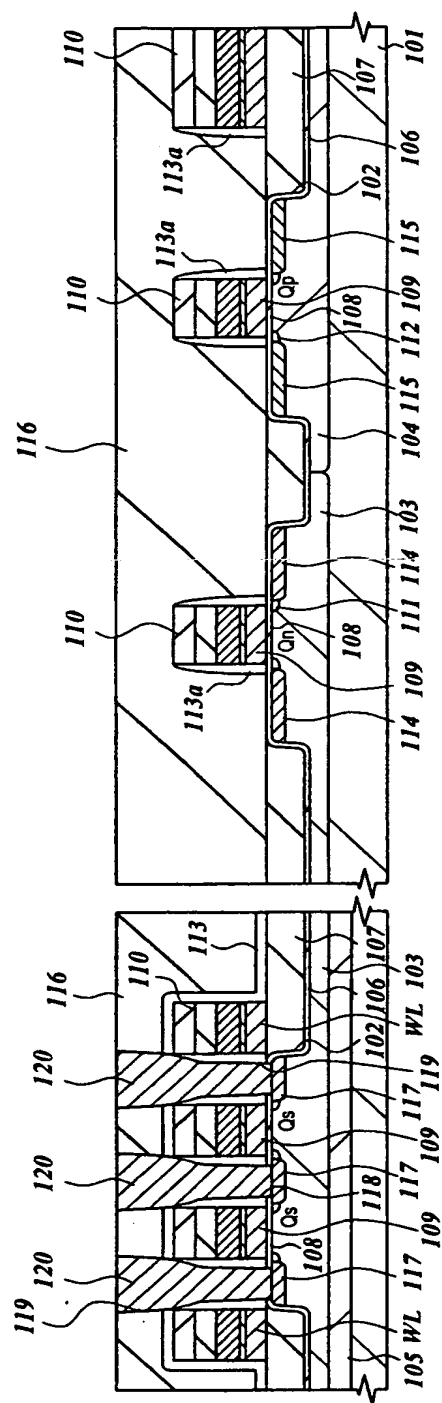
**THIS PAGE BLANK (USPTO)**

30



**THIS PAGE BLANK (USPTO)**

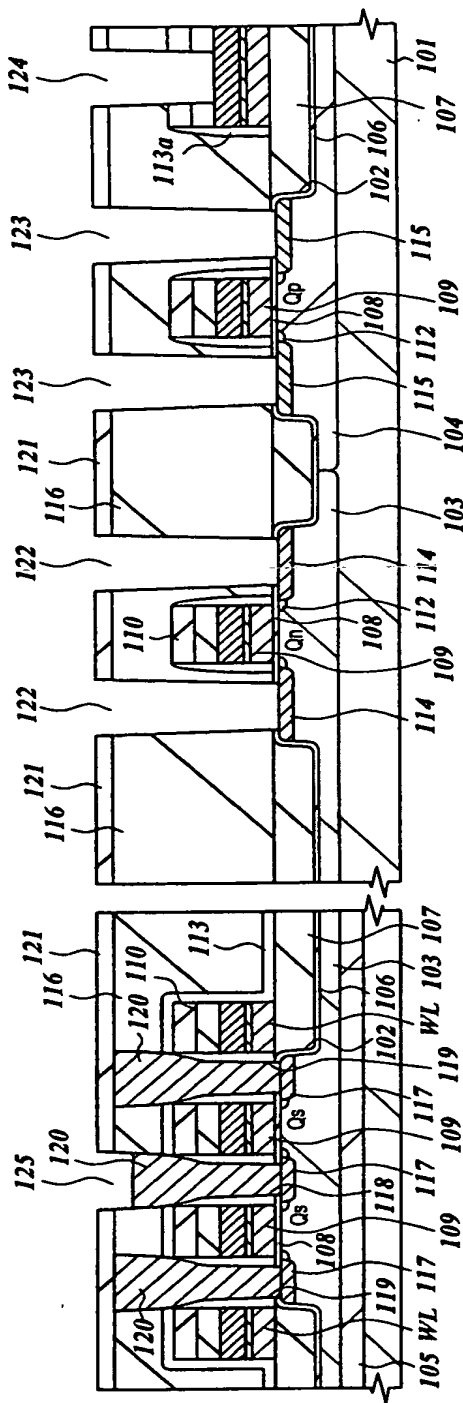
31



**THIS PAGE BLANK (USPTO)**

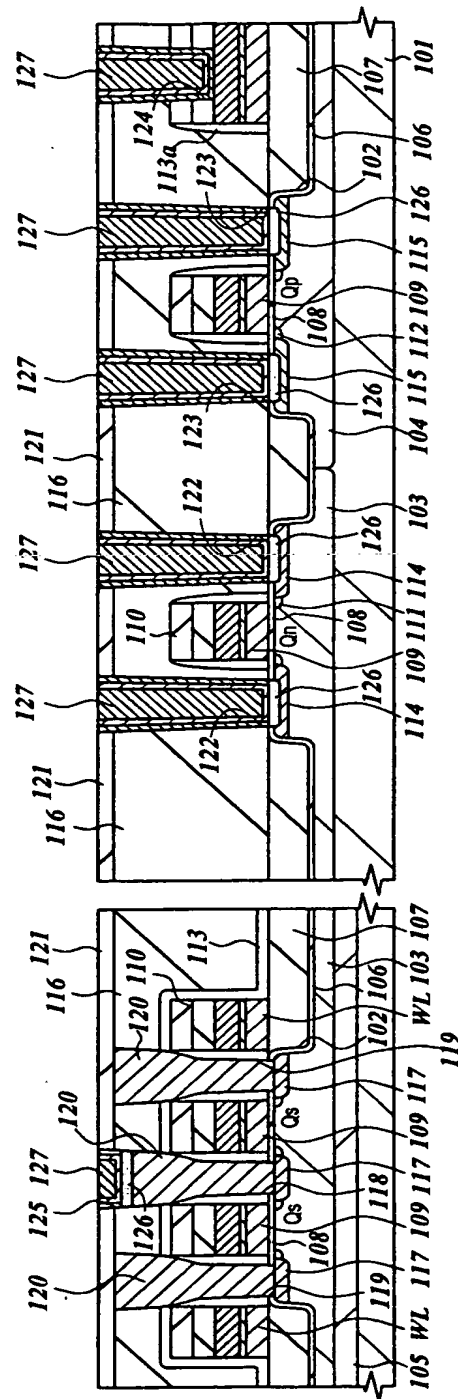


32

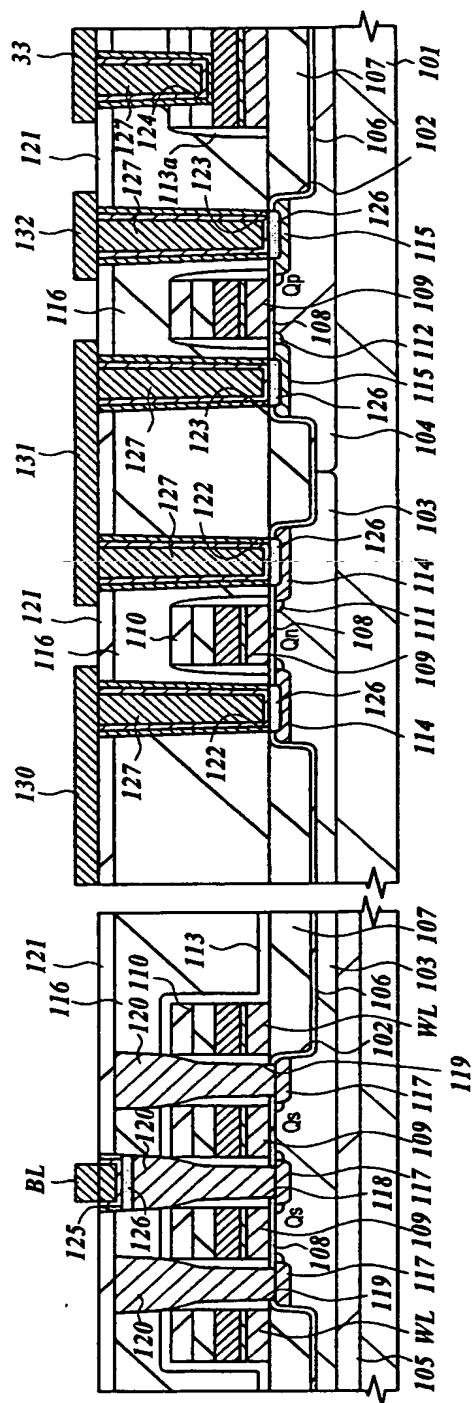


**THIS PAGE BLANK (USPTO)**

33

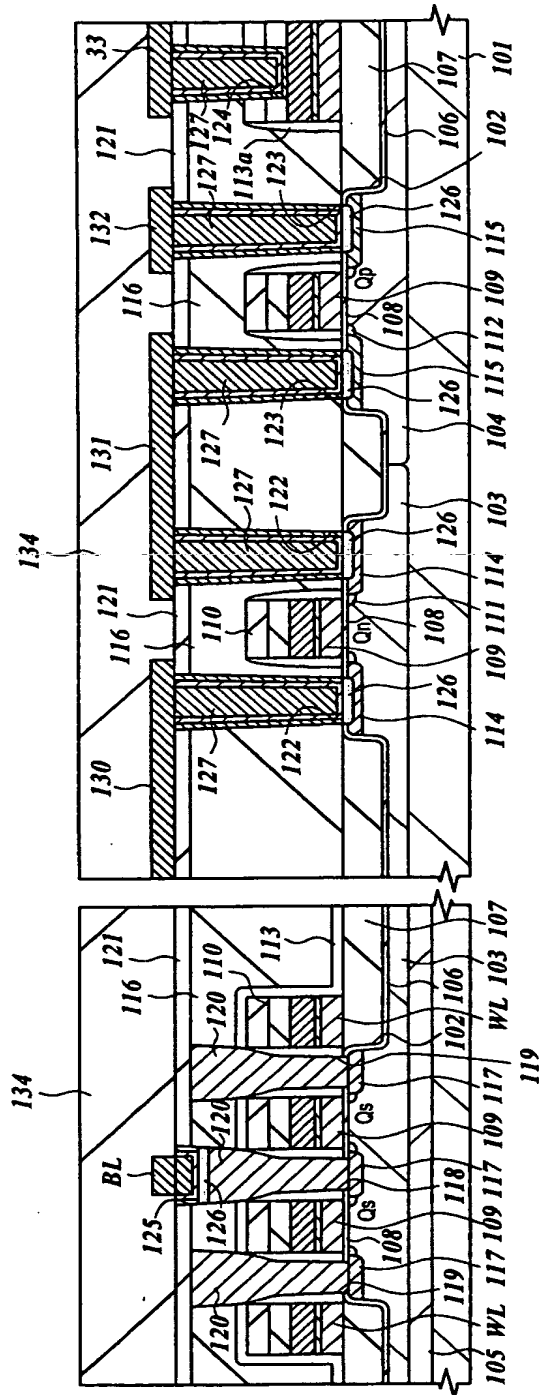


**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**

35

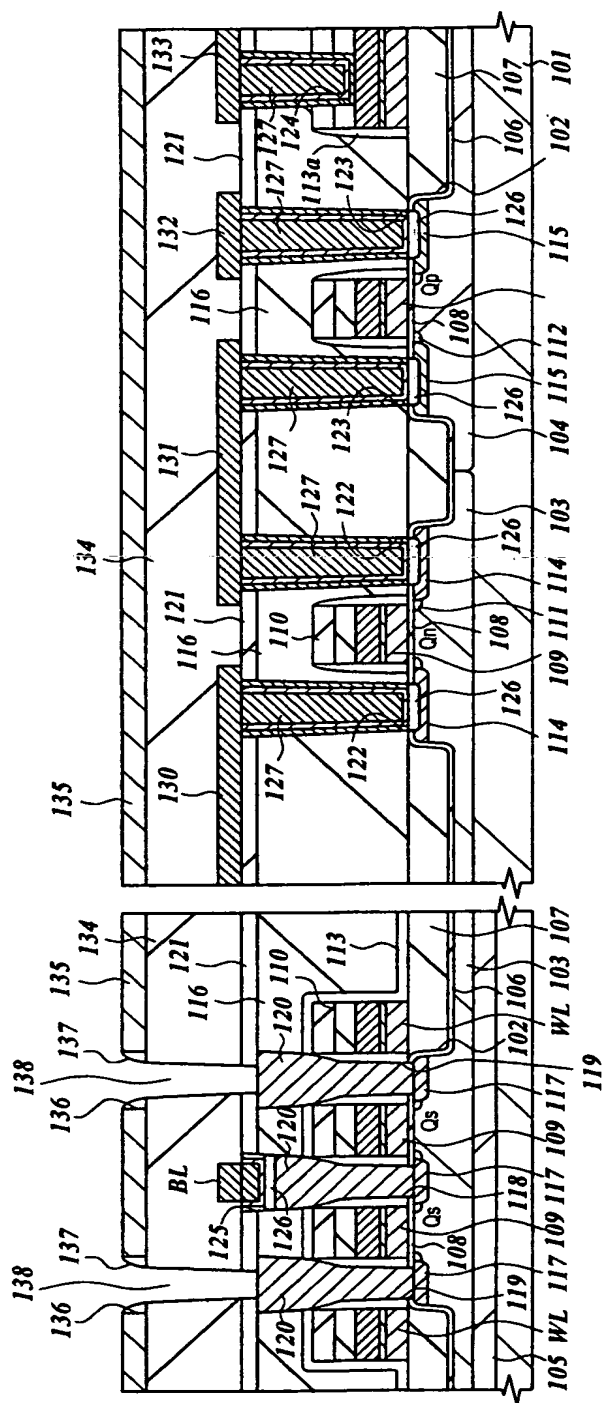


**THIS PAGE BLANK (USPTO)**



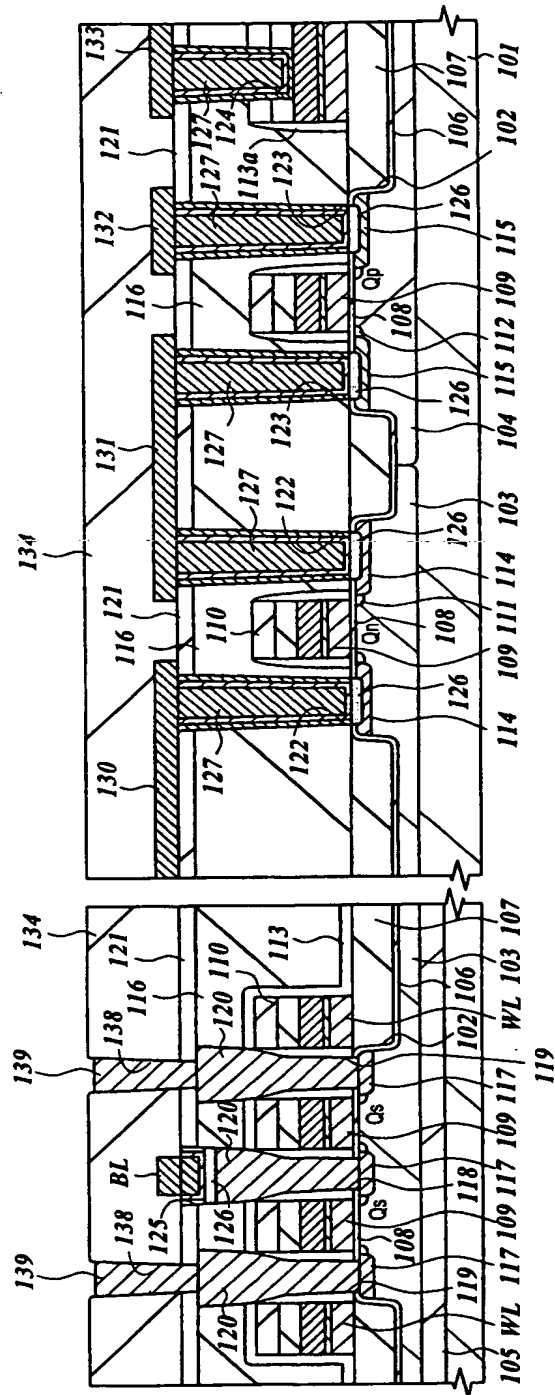


**THIS PAGE BLANK (USPTO)**

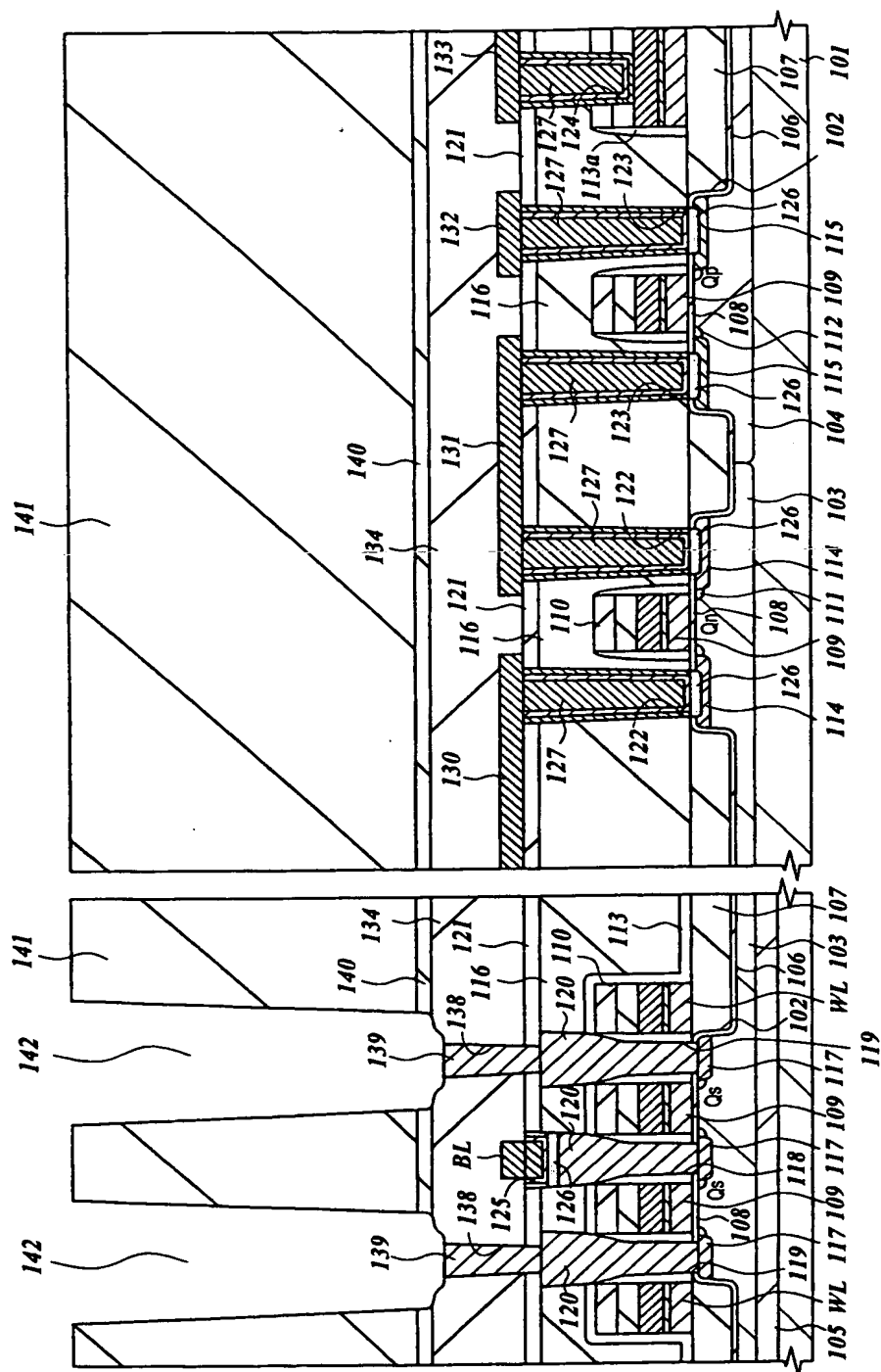


**THIS PAGE RI ANK (USPTO)**

38



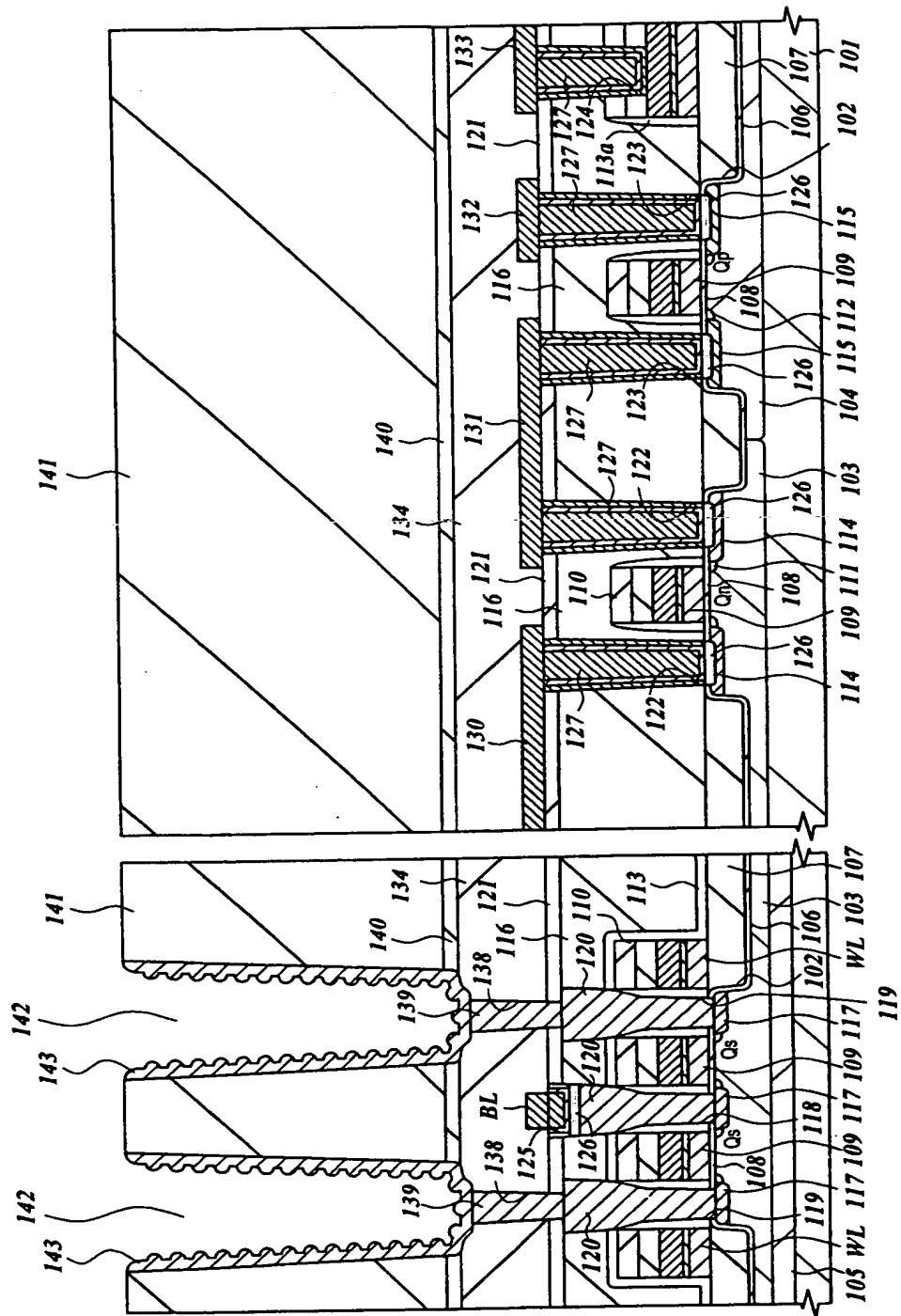
**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**



40

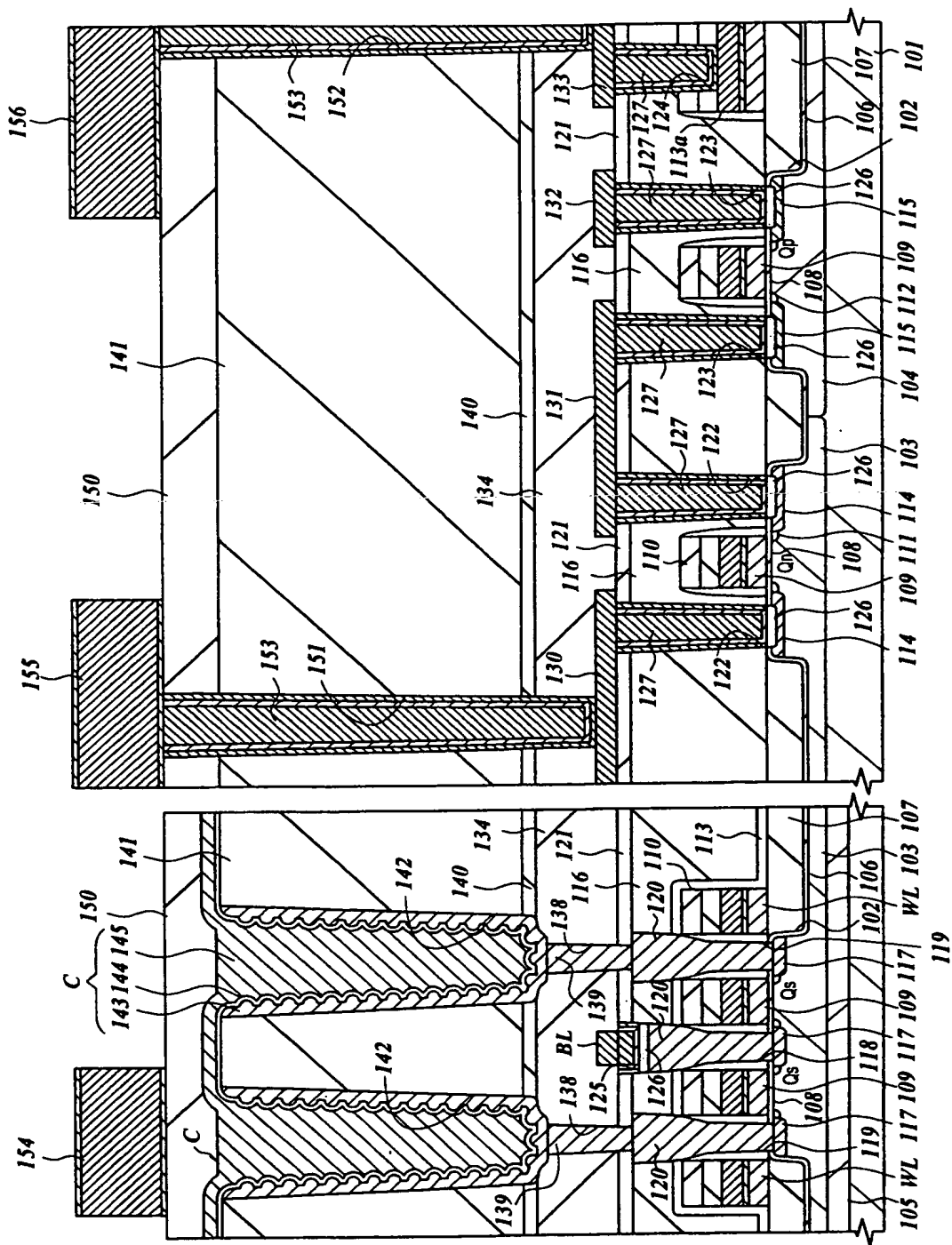


**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**

42



**THIS PAGE BLANK (USPTO)**